

## PATENT COOPERATION TREATY

PCT

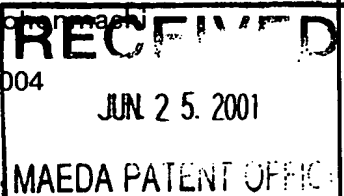
NOTIFICATION OF RECEIPT OF  
RECORD COPY

(PCT Rule 24.2(a))

From the INTERNATIONAL BUREAU

To:

MAEDA, Hiroshi  
 Taihei Bldg., 4-8, Utsubonmachi  
 1-chome, Nishi-ku  
 Osaka-shi, Osaka 550-0004  
 JAPON



Date of mailing (day/month/year) 15 June 2001 (15.06.01)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference M01-F-154CT1	International application No. PCT/JP01/04213

The applicant is hereby notified that the International Bureau has received the record copy of the international application as detailed below.

Name(s) of the applicant(s) and State(s) for which they are applicants:

MATSUSHITA ELECTRIC INDUSTRIAL CO.,LTD. (for all designated States except US)  
 YOSHIMOTO, Tetsuro et al (for US)

International filing date : 21 May 2001 (21.05.01)  
 Priority date(s) claimed : 22 May 2000 (22.05.00)  
 Date of receipt of the record copy  
 by the International Bureau : 01 June 2001 (01.06.01)  
 List of designated Offices :

EP : AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR  
 National : JP,US

## ATTENTION

The applicant should carefully check the data appearing in this Notification. In case of any discrepancy between these data and the indications in the international application, the applicant should immediately inform the International Bureau.

In addition, the applicant's attention is drawn to the information contained in the Annex, relating to:

- ☒ time limits for entry into the national phase
- ☒ confirmation of precautionary designations
- ☒ requirements regarding priority documents

A copy of this Notification is being sent to the receiving Office and to the International Searching Authority.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer: Susumu Kubo Telephone No. (41-22) 338.83.38
----------------------------------------------------------------------------------------------------------------------------------	-----------------------------------------------------------------------

**THIS PAGE BLANK (USPTO)**

## PATENT COOPERATION TREATY

PCT

NOTIFICATION CONCERNING  
SUBMISSION OR TRANSMITTAL  
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

From the INTERNATIONAL BUREAU

To:

MAEDA, Hiroshi  
Taihei Bldg., 4-8, Utsubohonmachi  
1-chome, Nishi-ku  
Osaka-shi, Osaka 550-0004  
JAPON

**RECEIVED**

AUG 20 2001

MAEDA PATENT OFFICE

Date of mailing (day/month/year) 03 August 2001 (03.08.01)	<b>IMPORTANT NOTIFICATION</b>
Applicant's or agent's file reference M01-F-154CT1	
International application No. PCT/JP01/04213	International filing date (day/month/year) 21 May 2001 (21.05.01)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 22 May 2000 (22.05.00)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al	

- The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
- An asterisk(\*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
22 May 2000 (22.05.00)	2000-149759	JP	06 July 2001 (06.07.01)

The International Bureau of WIPO  
34, chemin des Colombettes  
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 740.14.35

Authorized officer

Magda BOUACHA

Telephone No. (41-22) 338.83.38

004193701

**THIS PAGE BLANK (USPTO)**

# PATENT COOPERATION TREATY

**PCT**

NOTICE INFORMING THE APPLICANT OF THE  
COMMUNICATION OF THE INTERNATIONAL  
APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

From the INTERNATIONAL BUREAU

To:

MAEDA, Hiroshi  
Taihei Bldg., 4-8, Utsubohonmachi  
1-chome, Nishi-ku  
Osaka-shi, Osaka 550-0004  
JAPON

**RECEIVED**  
DEC. 12. 2001  
MAEDA PATENT OFFICE

Date of mailing (day/month/year) 29 November 2001 (29.11.01)		
Applicant's or agent's file reference M01-F-154CT1		<b>IMPORTANT NOTICE</b>
International application No. PCT/JP01/04213	International filing date (day/month/year) 21 May 2001 (21.05.01)	
		Priority date (day/month/year) 22 May 2000 (22.05.00)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al		

1. Notice is hereby given that the International Bureau has **communicated**, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this notice:

US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:

EP,JP

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this notice is a copy of the international application as published by the International Bureau on 29 November 2001 (29.11.01) under No. WO 01/91046

## REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a **demand for international preliminary examination** must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination (at present, all PCT Contracting States are bound by Chapter II).

## REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the **national phase**, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and the PCT Applicant's Guide, Volume II.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer  J. Zahra
Facsimile No. (41-22) 740.14.35	Telephone No. (41-22) 338.91.11

**THIS PAGE BLANK (USPTO)**

## 国際調査報告

(法8条、法施行規則第40、41条)  
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 M01-F-154CT1	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号 PCT/JPO1/04213	国際出願日 (日.月.年) 21.05.01	優先日 (日.月.年) 22.05.00
出願人(氏名又は名称) 松下電器産業株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

**THIS PAGE BLANK (USPTO)**



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G06K 19/07, H04B 5/02

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G06K 19/07, H04B 5/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2001年

日本国登録実用新案公報 1994-2001年

日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 59-151274 A (株式会社東芝) 29. 8月. 1984 (29. 08. 84) 第2頁右下欄第5行目-第12行目, 第1図 (ファミリーなし)	1-8
A	JP 8-167014 A (オムロン株式会社) 25. 6月. 1996 (25. 06. 96) 【0015】段落-【0021】段落, 第1-2図 (ファミリーなし)	1-8

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

17. 08. 01

国際調査報告の発送日

04.09.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

前田 仁

5N

2945

電話番号 03-3581-1101 内線 6915

**THIS PAGE BLANK (USPTO)**

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2001年11月29日 (29.11.2001)

PCT

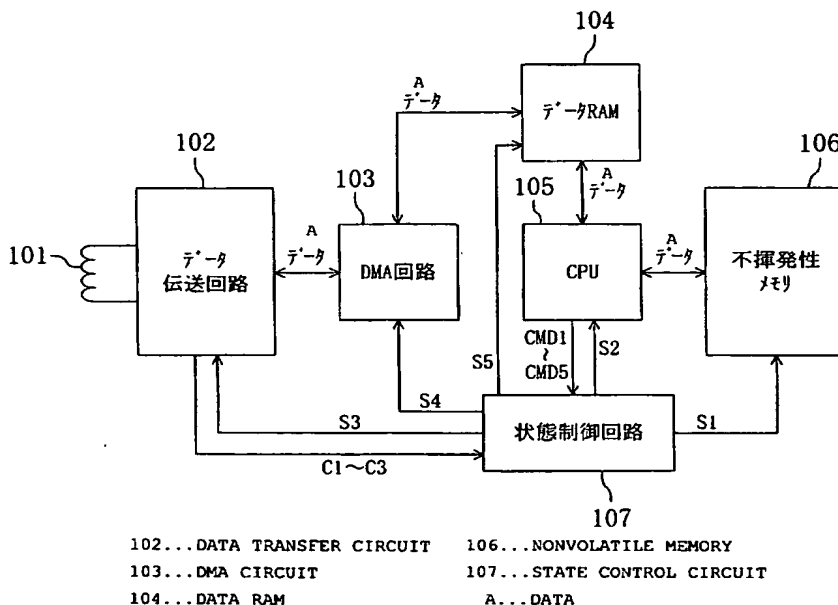
(10) 国際公開番号  
WO 01/91046 A1

- (51) 国際特許分類: G06K 19/07, H04B 5/02
- (21) 国際出願番号: PCT/JP01/04213
- (22) 国際出願日: 2001年5月21日 (21.05.2001)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2000-149759 2000年5月22日 (22.05.2000) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 吉本哲朗 (YOSHIMOTO, Tetsuro) [JP/JP]; 〒571-0058 大阪府門真市小路町1-12-414 Osaka (JP). 勝連城二 (KATSURA, Joji) [JP/JP]; 〒663-8114 兵庫県西宮市上甲子園2-10-34 Hyogo (JP). 中島章太 (NAKASHIMA, Shota) [JP/JP]; 〒573-0071 大阪府枚方市茄子作1-32-12 Osaka (JP). 山本武史 (YAMAMOTO, Takeshi) [JP/JP]; 〒573-0049 大阪府枚方市山之上北町23-4 Osaka (JP). 水嶋美紀 (MIZUSHIMA, Miki) [JP/JP]; 〒560-0055 大阪府豊中市柴原町1-2-12-601 Osaka (JP). 伊藤理恵 (ITO, Rie) [JP/JP]; 〒573-0036 大阪府枚方市伊加賀北町7-85 Osaka (JP).
- (74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒550-0004 大阪府大阪市西区靱本町1丁目4番8号 太平ビル Osaka (JP).
- (81) 指定国 (国内): JP, US.

[続葉有]

(54) Title: IC CARD

(54) 発明の名称: ICカード



(57) Abstract: A state control circuit (107) supplies an inactive state control signal (S2) to a CPU (105) and supplies an active state control signal (S3) to a data transfer circuit (102). In response, the CPU (105) becomes inactive, and the data transfer circuit (102) becomes ready to receive. On completing reception, the state control circuit (107) supplies an active state control signal (S2) to the CPU (105), which in response becomes active. The CPU (105) supplies a command signal (CMD2) to the state control circuit (107). The state control circuit (107) supplies an inactive state control signal (S3) to the data transfer circuit (102), which in response becomes inactive.

[続葉有]



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

---

(57) 要約:

状態制御回路(107)は不活性の状態制御信号(S2)をCPU(105)に、活性の状態制御信号(S3)をデータ伝送回路(102)に与える。これに応答してCPU(105)は停止状態、データ伝送回路(102)は受信状態となる。受信処理が完了すると、状態制御回路(107)はCPU(105)に活性の状態制御信号(S2)を与える。これに応答してCPU(105)は停止状態から動作状態に復帰する。CPU(105)は、状態制御回路(107)に対して命令信号(CMD2)を与える。状態制御回路(107)は、データ伝送回路(102)に対して不活性の状態制御信号(S3)を与える。これに応答して、データ伝送回路(102)は停止状態になる。

## 明細書

### ＩＣカード

#### 技術分野

この発明はＩＣカードに関し、さらに詳しくは、非接触で、外部とデータの送受信を行い、外部から電源の供給を受ける非接触型のＩＣカードに関する。

#### 背景技術

近年、日本国内の各業界においてＩＣカードシステムの事業化が積極的に進められている。例えば、電話業界では、既にＩＣテレホンカードの販売およびＩＣカード対応公衆電話の設置が行われている。また、鉄道業界では、ＩＣ定期券システムの実用化が数年後に予定されている。さらに、免許証や保険証などの身分証の代替としてＩＣカードを導入することも検討されている。

ＩＣカードには接触型と非接触型とがある。接触型のＩＣカードでは、外部端子をリーダライタに接触させてデータの送受信を行ったり、電源の供給を受けたりする。これに対して、非接触型のＩＣカードでは、内蔵するアンテナによって、非接触で、リーダライタとデータの送受信を行ったり、リーダライタから電源の供給を受けたりする。さらに、各社、現在開発中の非接触型のＩＣカードは、１台のリーダライタが同時に複数のＩＣカードを読み書きするためのＩＳＯ１４４４３－３ アンチコリジョン機能に対応予定である。このアンチコリジョン機能を有することで、例えば病院系非接触型ＩＣカードと金融系非接触型ＩＣカードを同時にリーダライタにかざすことで、診療結果などの情報のやり取りと、これにかかわる費用の支払いなどを同時に一回で終わらせるなどの効果が期待できる。

非接触型のＩＣカードでは、無線により電源の供給を受けるため、接触型に比べて電源の供給が不安定である。このため、リーダライタからデータを受信して内蔵する不揮発性メモリに格納したり、不揮発性メモリからデータを読み出してリーダライタ

へ送信したりする際に、不揮発性メモリの動作により発生するノイズの影響によって正常にデータを送受信できないことがある。さらに、1台のリーダライタが同時に複数のＩＣカードを読み書きする場合においても、一方の非接触型のＩＣカードが受信データを不揮発性メモリに格納したり、不揮発性メモリからデータを読み出してリーダライタへ送信したりする際に発するノイズの影響で、もう一方のＩＣカードの送受信が正常に行えないことがある。

### 発明の開示

この発明の目的は、不揮発性メモリの動作により発生するノイズの影響を抑制することができるＩＣカードを提供することである。

この発明に従うと、ＩＣカードは、非接触で、外部とデータの送受信を行い、外部から電源の供給を受ける非接触型のＩＣカードであって、伝送回路と、バッファメモリと、DMA回路と、不揮発性メモリと、CPUと、状態制御手段とを備える。伝送回路は、外部とデータの送受信を行う。DMA回路は、伝送回路が受信したデータをバッファメモリへ転送し、バッファメモリに蓄積されたデータを伝送回路へ転送する。CPUは、バッファメモリおよび不揮発性メモリに対してデータの書き込み／読み出しを行う。状態制御回路は、伝送回路が外部とデータの送受信を行っているとき、不揮発性メモリおよびCPUの動作を停止させる。

上記ＩＣカードにおいては、伝送回路が外部とデータの送受信を行っているとき、不揮発性メモリおよびCPUは動作を停止する。これにより、不揮発性メモリおよびCPUの動作に伴って発生するノイズの伝送回路に対する影響を抑制することができる。この結果、伝送回路による送受信の信頼性を高めることができる。さらに、1台のリーダライタが同時に複数のＩＣカードを読み書きする場合においても、それぞれのＩＣカード内部の伝送回路が外部とデータの送受信を行っているとき、それぞれのＩＣカード内部の不揮発性メモリおよびCPUは動作を停止するので、お互いのノイズ発生による相互干渉を防ぎ、複数のＩＣカードの送受信における信頼性を高めることができる。

好ましくは、上記伝送回路によって送受信されるデータは、所定期間ごとにデータビットが現れるものである。また、上記伝送回路は、あるデータビットを送受信する期間と他のデータビットを送受信する期間との間の期間に割り込み信号を発生する。そして、上記DMA回路は、割り込み信号に応答して転送処理を行う。

上記ICカードにおいては、伝送回路によってあるデータビットが送受信される期間と他のデータビットが送受信される期間との間の期間に、DMA回路による転送処理が行われる。これにより、伝送回路により送受信されているデータがDMA回路の動作により生じるノイズの影響を受けてデータ化けすることを防ぐことができる。

好ましくは、上記伝送回路によって受信されるデータは、ISO/IEC 14443-3の規定に従った構成を有するものである。そして、上記伝送回路は、正規波形記憶手段と、誤り予想波形記憶手段と、波形検出手段と、照合手段とを含む。

正規波形記憶手段は、ISO/IEC 14443-3によって規定された波形パターンを記憶する。誤り予想波形記憶手段は、伝送回路によって受信されるデータについて予め予想される誤りを含んだ波形パターンを記憶する。波形検出回路は、伝送回路によって受信されたデータの波形パターンを検出する。照合手段は、波形検出手段によって検出された波形パターンが、正規波形記憶手段に記憶された波形パターンまたは誤り予想波形記憶手段に記憶された波形パターンに一致するとき、伝送回路によって受信されたデータを正規波形パターンに基づいて訂正する。

上記ICカードによれば、伝送回路によって受信されたデータが誤りを含んでいる場合、その誤りが訂正される。

好ましくは、上記伝送回路によって受信されるデータは、ISO/IEC 14443-3の規定に従った構成を有するものである。そして、上記伝送回路は、アナログ回路部を含む。アナログ回路部は、外部から受信したデータをデジタルデータに変調して出力する。上記ICカードはさらに、プリセット信号発生手段を備える。プリセット信号発生手段は、伝送回路がデータの受信を行っている期間以外の期間のうち所定期間活性のプリセット信号をアナログ回路部に与える。アナログ回路部は、活性のプリセット信号に応答して、出力を論理ハイレベルにする。

上記 I C カードによれば、伝送回路がデータの受信を行っている期間以外の期間にアナログ回路部から出力される信号が論理ローレベルとなった場合であっても、アナログ回路部から出力される信号が論理ローレベルの状態では伝送回路が受信状態に入ってしまうことを防ぐことができる。

好ましくは、上記伝送回路によって受信されるデータは、ISO/IEC 14443-3 の規定に従った構成を有するものである。そして、上記伝送回路は、アナログ回路部を含む。アナログ回路部は、外部から受信したデータをデジタルデータに変調して出力する。上記 I C カードはさらに、ホールド信号発生手段を備える。ホールド信号発生手段は、伝送回路がデータの受信を行っている期間以外の期間活性のホールド信号をアナログ回路部に与える。アナログ回路部は、活性のホールド信号に応答して、伝送回路がデータの受信を行っている期間以外の期間出力を論理ハイレベルにする。

上記 I C カードにおいては、ホールド信号発生手段は、伝送回路がデータの受信を行っている期間以外の期間活性のホールド信号をアナログ回路部に与える。この活性のホールド信号に応答して、アナログ回路部は出力を論理ハイレベルにする。これにより、アナログ回路部から出力される信号が論理ローレベルの状態では伝送回路が受信状態に入ってしまうことを防ぐことができる。

好ましくは、上記 I C カードはさらにレジューム回路を備える。レジューム回路は、CPU による不揮発性メモリに対するデータの書き込み処理が中断された場合に、中断された時点までの書き込み処理の進行状態を記憶する。CPU は、レジューム回路に記憶された進行状態に基づいて不揮発性メモリに対する書き込み処理を再開する。

上記 I C カードにおいては、不揮発性メモリに対する書き込み処理が中断した場合であっても、中断したときの状態から書き込み処理を再開することができる。

好ましくは、上記状態制御回路は、時間カウント回路を含む。時間カウント回路は、CPU が停止状態になるのに応答して時間のカウントを開始し、CPU が次に動作状態に復帰するのに応答して時間のカウントを停止し、カウント値を CPU に出力する。

CPU は、停止状態から動作状態に復帰した場合に、停止状態であった時間を知る



必要がある。停止状態であった時間を知るためにCPUに付属のタイマを用いた場合には、伝送回路が送受信を行っているときであっても一定時間ごとにCPUが動作することになる。このCPUの動作によってノイズが発生し、このノイズがデータ伝送回路に対して影響を及ぼすことがある。

上記ICカードでは、時間カウント回路を設けたため、伝送回路が送受信を行っているときCPUを完全に停止状態にすることができる。これにより、CPUの動作によるノイズを発生させることなく停止状態であった時間をCPUに知らせることができる。

好ましくは、上記ICカードはさらに、時間監視回路を備える。時間監視回路は、CPUが停止状態になるのに応答して時間のカウントを開始し、カウント値が所定の値に達するまでにCPUが動作状態に復帰しないとき、CPUに対してタイムアウト信号を出力する。CPUは、時間監視回路からのタイムアウト信号に応答して動作状態となる。

上記ICカードにおいては、時間監視回路を設けたため、CPUが停止状態であり続けることを防止することができる。

#### 図面の簡単な説明

図1は、この発明の第1の実施形態によるICカードの構成を示すブロック図である。

図2は、図1に示したICカードにおける処理の流れを示す図である。

図3は、図1に示したCPU、不揮発性メモリ、状態制御回路、データRAM、DMA回路、およびデータ伝送回路の状態の遷移を示す図である。

図4は、この発明の第2の実施形態によるICカードにおけるデータ伝送回路の構成を示すブロック図である。

図5は、ISO/IEC 14443-3に規定されたキャラクターフォーマットを示す図である。

図6は、受信信号および送信信号と割り込み信号とのタイミングを示す図である。

図 7 は、受信信号、送信信号、データ伝送回路、CPU の状態を示す図である。

図 8 は、ISO/IEC 14443-3 に規定された SOF の構成を示す図である。

図 9 は、この発明の第 3 の実施形態による IC カードにおけるデータ伝送回路の構成を示すブロック図である。

図 10 は、この発明の第 3 の実施形態による IC カードの動作を示すフローチャートである。

図 11 は、この発明の第 4 の実施形態による IC カードにおけるデータ伝送回路および CPU の構成を示すブロック図である。

図 12 は、受信信号とプリセット信号との関係を示す図である。

図 13 は、この発明の第 5 の実施形態による IC カードにおけるデータ伝送回路および CPU の構成を示すブロック図である。

図 14 は、受信信号とホールド信号との関係を示す図である。

図 15 は、この発明の第 6 の実施形態による IC カードの主要部の構成を示すブロック図である。

図 16 は、図 15 に示した IC カードによる動作を説明するための図である。

図 17 は、図 15 に示した IC カードによる不揮発性メモリへの書き込み処理の流れを示すフローチャートである。

図 18 は、この発明の第 7 の実施形態による IC カードの主要部の構成を示すブロック図である。

図 19 は、この発明の第 8 の実施形態による IC カードの主要部の構成を示すブロック図である。

#### 発明を実施するための最良の形態

以下、この発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰り返さない。

#### (第 1 の実施形態)

### <構成>

図1は、この発明の第1の実施形態によるICカードの構成を示すブロック図である。図1を参照して、このICカードは、アンテナ101と、データ伝送回路102と、DMA回路103と、データRAM104と、CPU105と、不揮発性メモリ106と、状態制御回路107とを備える。

アンテナ101は、リーダライタ（図示せず）から送信された信号を受信し、また、リーダライタに対して信号を送信する。この送受信は、電波を媒体として非接触で行われる。また、アンテナ101は、リーダライタから電磁波を媒体として電源の供給を受ける。この電源は、ICカードの動作電源となる。

データ伝送回路102は、アンテナ101によって受信された信号に対して処理を施してDMA回路103に転送する。また、データ伝送回路102は、DMA回路103から転送された信号に対して処理を施してアンテナ101に供給する。さらに、データ伝送回路102は、所定の場合に状態制御回路110に対して割り込み信号C1を与える。

DMA回路103は、データ伝送回路102からの信号をデータRAM104に書き込み、データRAM104から読み出した信号をデータ伝送回路102に転送する。

CPU105は、データRAM104および不揮発性メモリ106に対してデータの書き込み／読み出しを行う。また、CPU105は、状態制御回路107に対して命令信号CMDを与える。

状態制御回路107は、不揮発性メモリ106に対して状態制御信号S1を、CPU105に対して状態制御信号S2を、データ伝送回路102に対して状態制御信号S3を、DMA回路103に対して状態制御信号S4を、データRAM104に対して状態制御信号S5を与える。

不揮発性メモリ106、CPU105、データ伝送回路102、DMA回路103、およびデータRAM104は、それぞれ状態制御信号S1－S5に応答して、動作状態／停止状態となる。

### <動作>

次に、以上のように構成された I C カードの動作について、図 2 を参照しつつ説明する。図 2 は、図 1 に示した I C カードにおける処理の流れを示す図である。以下、

(1) データの受信を行う場合、(2) 不揮発性メモリへデータの書き込み／読み出しを行う場合、(3) データの送信を行う場合、に分けて説明する。

(1) データの受信を行う場合

最初、CPU 105 は動作状態、データ伝送回路 102 は停止状態にあるものとする。この状態で CPU 105 は、状態制御回路 107 に対して命令信号 CMD 1 を与える。命令信号 CMD 1 は、「データ伝送回路 102 を受信状態にせよ」という意味の命令である。

命令信号 CMD 1 を受けると、状態制御回路 107 は、CPU 105 に対して不活性の状態制御信号 S 2 を与える。不活性の状態制御信号 S 2 に応答して、CPU 105 は動作を停止する。また、状態制御回路 107 は、データ伝送回路 102 に対して活性の状態制御信号 S 3 を与える。活性の状態制御信号 S 3 に応答して、データ伝送回路 102 は停止状態から受信状態となる。

データ伝送回路 102 は、アンテナ 101 によって受信された信号に対して処理を施し、8 ビット単位のデータ d 1 を抽出する。また、データ伝送回路 102 は、状態制御回路 107 に対して割り込み信号 C 1 を与える。割り込み信号 C 1 は、「DMA 回路 103 を動作状態にせよ」という要求を示す信号である。

割り込み信号 C 1 を受けて、状態制御回路 107 は、DMA 回路 103 に対して活性の状態制御信号 S 4 を与える。活性の状態制御信号 S 4 に応答して、DMA 回路 103 は、停止状態から動作状態になる。そして、DMA 回路 103 は、データ RAM 104 を動作状態に制御し、データ伝送回路 102 からの 8 ビット単位のデータ d 1 をデータ RAM 104 へ書き込む。

書き込みが終了すると、DMA 回路 103 およびデータ RAM 104 は停止状態になる。

データ伝送回路 102 による 8 ビット単位のデータ d 1 の抽出から DMA 回路 103 によるデータ RAM 104 への書き込みまでの処理が、8 ビット単位のデータごと

に繰り返し行われる。

そして、すべてのデータに対する処理が完了、すなわち、受信処理が完了すると、データ伝送回路102は、状態制御回路107に対して割り込み信号C2を与える。割り込み信号C2は、「CPU105を動作状態にせよ」という要求を示す信号である。

割り込み信号C2に応答して、状態制御回路107は、CPU105に対して活性の状態制御信号S2を与える。活性の状態制御信号S2に応答して、CPU105は、停止状態から動作状態に復帰する。復帰したCPU105は、状態制御回路107に対して命令信号CMD2を与える。命令信号CMD2は、「データ伝送回路102を停止状態にせよ」という意味の命令である。

命令信号CMD2を受けると、状態制御回路107は、データ伝送回路102に対して不活性の状態制御信号S3を与える。不活性の状態制御信号S3に応答して、データ伝送回路102は、受信状態から停止状態になる。

(2) 不揮発性メモリへデータの書き込み／読み出しを行う場合、

最初、CPU105は動作状態、不揮発性メモリ106は停止状態にあるものとする。この状態で、CPU105は、状態制御回路107に対して命令信号CMD3を与える。命令信号CMD3は、「不揮発性メモリ106を動作状態にせよ」という意味の命令である。

命令信号CMD3を受けると、状態制御回路107は、不揮発性メモリ106に対して活性の状態制御信号S1を与える。活性の状態制御信号S1に応答して、不揮発性メモリ106は停止状態から動作状態となる。そして、CPU105は、不揮発性メモリ106に対してデータd2の書き込み／読み出しを行う。

不揮発性メモリ106に対するデータd2の書き込み／読み出しが完了すると、CPU105は、状態制御回路107に対して命令信号CMD4を与える。命令信号CMD4は、「不揮発性メモリ106を停止状態にせよ」という意味の命令である。

命令信号CMD4を受けると、状態制御回路107は、不揮発性メモリ106に対して不活性の状態制御信号S1を与える。不活性の状態制御信号S1に応答して、不

揮発性メモリ 106 は動作を停止する。

(3) データの送信を行う場合

最初、CPU 105 は動作状態、データ伝送回路 102 は停止状態にあるものとする。このとき CPU 105 は、送信すべきデータをデータ RAM 104 に格納する。そして、CPU 105 は、状態制御回路 107 に対して命令信号 CMD 5 を与える。命令信号 CMD 5 は、「データ伝送回路 102 を送信状態にせよ」という意味の命令である。

命令信号 CMD 5 を受けると、状態制御回路 107 は、CPU 105 に対して不活性の状態制御信号 S 2 を与える。不活性の状態制御信号 S 2 に応答して、CPU 105 は動作を停止する。また、状態制御回路 107 は、データ伝送回路 102 に対して活性の状態制御信号 S 3 を与える。活性の状態制御信号 S 3 に応答して、データ伝送回路 102 は、停止状態から送信状態となる。

データ伝送回路 102 は、状態制御回路 107 に対して割り込み信号 C 1 を与える。割り込み信号 C 1 は、「DMA 回路 103 を動作状態にせよ」という要求を示す信号である。

割り込み信号 C 1 を受けて、状態制御回路 107 は、DMA 回路 103 に対して活性の状態制御信号 S 4 を与える。活性の状態制御信号 S 4 に応答して、DMA 回路 103 は、停止状態から動作状態になる。そして、DMA 回路 103 は、データ RAM 104 を動作状態に制御し、データ RAM 104 から 8 ビット単位のデータ d 3 を読み出してデータ伝送回路 102 へ転送する。転送が終了すると、DMA 回路 103 およびデータ RAM 104 は停止状態になる。

データ伝送回路 102 は、DMA 回路 103 からの 8 ビット単位のデータ d 3 に対して処理を施し、アンテナ 101 へ伝送する。

DMA 回路 103 による読み出しからデータ伝送回路 102 による伝送までの処理が、8 ビット単位のデータごとに繰り返し行われる。

そして、すべての送信すべきデータに対する処理が完了、すなわち、送信処理が完了すると、データ伝送回路 102 は、状態制御回路 107 に対して割り込み信号 C 2

を与える。割り込み信号C 2は、「CPU 1 0 5を動作状態にせよ」という要求を示す信号である。

割り込み信号C 2に応答して、状態制御回路1 0 7は、CPU 1 0 5に対して活性の状態制御信号S 2を与える。活性の状態制御信号S 2に応答して、CPU 1 0 5は、停止状態から動作状態に復帰する。復帰したCPU 1 0 5は、状態制御回路1 0 7に対して命令信号CMD 2を与える。命令信号CMD 2は、「データ伝送回路1 0 2を停止状態にせよ」という意味の命令である。

命令信号CMD 2を受けると、状態制御回路1 0 7は、データ伝送回路1 0 2に対して不活性の状態制御信号S 3を与える。不活性の状態制御信号S 3に応答して、データ伝送回路1 0 2は、送信状態から停止状態になる。

#### <状態遷移について>

図3は、図1に示したCPU 1 0 5、不揮発性メモリ1 0 6、状態制御回路1 0 7、データRAM 1 0 4、DMA回路1 0 3、およびデータ伝送回路1 0 2の状態の遷移を示す図である。図3中、(1) - (3)の期間は、図2に示した(1) - (3)の期間に相当する。また、「動」とは「動作状態」を、「停」とは「停止状態」を意味する。

図3を参照して、データ伝送回路1 0 2が受信状態であり受信信号を処理している期間、CPU 1 0 5および不揮発性メモリ1 0 6は停止状態となる。

また、データ伝送回路1 0 2が送信状態であり送信信号を出力している期間も、CPU 1 0 5および不揮発性メモリ1 0 6は停止状態となる。

一方、CPU 1 0 5が動作状態である期間には、データ伝送回路1 0 2は停止状態となる。

このように、データ伝送回路1 0 2とCPU 1 0 5および不揮発性メモリ1 0 6とは排他的に動作する。

DMA回路1 0 3は、データ伝送回路1 0 2が受信状態または送信状態である場合においてデータの転送を行う期間に動作状態となる。データRAM 1 0 4は、データ伝送回路1 0 2が受信状態または送信状態でありかつDMA回路1 0 3が動作状態で

ある期間、および、CPU105が動作状態である期間に動作状態となる。状態制御回路107は常に動作状態である。

なお、受信信号および送信信号は、SOF (Start Of Frame)、データ部、EOF (End Of Frame) で構成され、ISO/IEC14443-3の規定に従っている。

以上のように、第1の実施形態によるICカードでは、データ伝送回路102が受信状態であり受信信号を処理している期間およびデータ伝送回路102が送信状態であり送信信号を出力している期間、CPU105および不揮発性メモリ106は停止状態となる。したがって、CPU105および不揮発性メモリ106の動作に伴って発生するノイズのデータ伝送回路102に対する影響を抑制することができる。これにより、データ伝送回路102による送受信処理の信頼性を高めることができる。同様に、1台のリーダライタが同時に複数のICカードを読み書きする場合においても、それぞれのICカード内部の伝送回路が外部とデータの送受信を行っているとき、それぞれのICカード内部の不揮発性メモリおよびCPUは動作を停止するので、お互いのノイズ発生による相互干渉を防ぎ、複数のICカードの送受信における信頼性を高めることができる。

## (第2の実施形態)

### <構成>

この発明の第2の実施形態によるICカードは、図1に示したデータ伝送回路102に代えて、図4に示すデータ伝送回路400を備える。図4を参照して、データ伝送回路400は、図1に示したデータ伝送回路102の機能を備え、さらに、送受信処理回路401と、データ転送タイミング生成回路402とを備える。

送受信処理回路401は、ISO/IEC14443-3の規定に従ってデータ伝送回路400内のアナログ回路部（図示せず）からの受信信号およびアナログ回路部への送信信号の状態を判断し、その状態を示す状態情報SMTを出力する。

データ転送タイミング生成回路402は、「データ伝送回路400が現在受信して



いる信号はストップビットの期間である」ことを示す状態情報SMT、「データ伝送回路400が現在送信している信号はSOFのHレベル（論理ハイレベル）期間である」ことを示す状態情報SMT、「データ伝送回路400が現在送信している信号はストップビットの期間である」ことを示す状態情報SMTを受けると、状態制御回路107に対して割り込み信号C3を出力する。

#### <動作>

次に、以上のように構成されたICカードの動作について説明する。

上述のとおり、送信または受信されるデータは、SOF、データ部、EOFで構成され、ISO/IEC14443-3の規定に従っている。そして、データ部は、図5に示すように、ISO/IEC14443-3に規定されたキャラクターフォーマットに従っている。キャラクターは、第一の論理レベルであるスタートビットと、第二の論理レベルである8ビットデータと、第三の論理レベルであるストップビットおよび保護時間とで構成されている。

以下、（a）データを受信する場合、（b）データを送信する場合、に分けて説明する。

#### （a）データを受信する場合

これは、図2に示した（1）受信の場合に相当する。

まず、データ伝送回路102が受信状態であるときに、送受信処理回路401に受信信号が入力される。

送受信処理回路401は、ISO/IEC14443-3の規定に従って受信信号の状態を判断し、その状態を示す状態情報SMTを出力する。

送受信処理回路401からの状態情報SMTを受けると、データ転送状態制御回路403は、その状態情報SMTが「データ伝送回路400が現在受信している信号はストップビットの期間である」ことを示すものであるか否かを判断する。その結果、状態情報SMTが「データ伝送回路400が現在受信している信号はストップビットの期間である」ことを示すものであるときは、状態制御回路107に対して割り込み信号C3を出力する。これは、図2において割り込み信号C1を与える処理に相当す

る。

割り込み信号C 3に応答して、状態制御回路1 0 7は、活性の状態制御信号S 4をDMA回路1 0 3に与える。これは、図2において活性の状態信号S 4を与える場合に相当する。

活性の状態制御信号S 4に応答して、DMA回路1 0 3は停止状態から動作状態になる。そして、DMA回路1 0 3は、データRAM1 0 4を動作状態に制御し、データ伝送回路1 0 2からの8ビット単位のデータd 1をデータRAM1 0 4へ書き込む。転送が終了すると、DMA回路1 0 3およびデータRAM1 0 4は停止状態になる。

(b) データを送信する場合

これは、図2に示した(3)送信の場合に相当する。

送受信処理回路4 0 1は、データ伝送回路1 0 2が送信している信号を受ける。そして、送受信処理回路4 0 1は、ISO/IEC 14443-3の規定に従って送信信号の状態を判断し、その状態を示す状態情報SMTを出力する。

送受信処理回路4 0 1からの状態情報SMTを受けると、データ転送状態制御回路4 0 3は、その状態情報SMTが「データ伝送回路4 0 0が現在送信している信号はSOFのHレベル(論理ハイレベル)期間である」こと、または、「データ伝送回路4 0 0が現在送信している信号はストップビットの期間である」ことを示すものであるか否かを判断する。その結果、状態情報SMTがいずれかを示すものであるときは、状態制御回路1 0 7に対して割り込み信号C 3を出力する。これは、図2において割り込み信号C 1を与える処理に相当する。

割り込み信号C 3に応答して、状態制御回路1 0 7は、活性の状態制御信号S 4をDMA回路1 0 3に与える。これは、図2において活性の状態信号S 4を与える場合に相当する。

活性の状態制御信号S 4に応答して、DMA回路1 0 3は停止状態から動作状態になる。そして、DMA回路1 0 3は、データRAM1 0 4を動作状態に制御し、データRAM1 0 4から8ビット単位のデータd 3を読み出してデータ伝送回路1 0 2へ転送する。転送が終了すると、DMA回路1 0 3およびデータRAM1 0 4は停止状

態になる。

図6は、受信信号および送信信号と割り込み信号C3とのタイミングを示す図である。図6に示すように、データ転送タイミング生成回路402は、受信信号または送信信号のうちのある8ビットデータの期間と他の8ビットデータの期間との間の期間に割り込み信号C3を出力する。

以上のように、第2の実施形態では、送受信処理回路401と、データ転送タイミング生成回路402とを設けたため、データ伝送回路102により受信または送信されている信号がある8ビットデータである期間と他の8ビットデータである期間との間の期間にDMA回路102によるデータの転送を行うことができる。この結果、データ伝送回路102により送受信されている信号がDMA回路102の動作により生じるノイズの影響を受けてデータ化けすることを防ぐことができる。

### (第3の実施形態)

図1に示したデータ伝送回路102では、アンテナ101によって受信された信号を変調回路などのアナログ回路部（図示せず）によってデジタルデータに変調して、図7に示すような受信信号を得ている。図7に示すように、受信信号は、SOF、データ部、EOFで構成され、データ伝送回路102が受信状態以外の状態においては論理ハイレベルとなっている。また、SOFの構成は、図8に示すように、ISO/IEC14443-3に規定された構成に従っている。SOFは、第一の論理レベルである立ち下がり、第二の論理レベルである10etu期間Low（論理ローレベル）と、第三の論理レベルである1etu以内に立ち上がり、第四の論理レベルである2～3etu期間High（論理ハイレベル）とにより構成される。なお、etuは時間を示す単位である。

ところが、データ伝送回路102が受信状態以外の状態においてCPU105、不揮発性メモリ106などが動作することによって生じるノイズの影響をアナログ回路部が受けて、データ伝送回路102が受信状態以外の状態において受信信号が論理ローレベルとなってしまうことがある。この結果、アナログ回路部の後段に設けられた

ロジック回路部においてSOFを正しく認識できないという不都合が生じる。第3の実施形態によるICカードでは、このような問題を解決することを目的とする。

#### <構成>

この発明の第3の実施形態によるICカードは、図1に示したデータ伝送回路102に代えて、図9に示すデータ伝送回路700を備える。図9を参照して、データ伝送回路700は、図1に示したデータ伝送回路102の機能を備え、さらに、正規波形記憶回路701と、誤り予想波形記憶回路702と、受信波形検出回路703と、波形パターン照合回路704とを備える。

正規波形記憶回路701は、ISO/IEC14443-3の規定に従ったSOFの波形パターンを記憶する。誤り予想波形記憶回路702は、予め予想される誤った波形パターンを記憶する。例えば、データ伝送回路102が受信状態以外の状態においてCPU105、不揮発性メモリ106などが動作することによって生じるノイズの影響をアナログ回路部が受けた場合、受信信号のSOFの波形パターンは、ISO/IEC14443-3に規定された第一の論理レベルである立ち下がりよりも早い時刻に立ち下がった波形となる。このような予め予想される誤った波形パターンを記憶しておく。受信波形検出回路703は、アナログ回路部からの出力である受信信号のSOFの波形パターンを検出する。波形パターン照合回路704は、受信波形検出回路703によって検出されたSOFの波形パターンが、正規波形記憶回路701に記憶された波形パターンまたは誤り予想波形記憶回路702に記憶された波形パターンのいずれかに一致するか否かを判断する。いずれかに一致する場合には、受信信号のSOFの波形パターンを、正規波形記憶回路701に記憶された波形パターンに訂正する。

#### <動作>

次に、以上のように構成されたICカードの動作について、図10を参照しつつ説明する。

予め、ISO/IEC14443-3の規定に従った波形のパターンを正規波形記憶回路701に、予想される誤った波形のパターンを誤り予想波形記憶回路702に

記憶しておく。

そして、ステップST1001において、受信波形検出回路703によって、アナログ回路部からの出力である受信信号のSOFの波形パターンが検出される。

次いで、ステップST1002において、受信信号のSOFの波形パターンと、正規波形記憶回路701に記憶された波形パターンおよび誤り予想波形記憶回路702に記憶された波形パターンとの照合が行われる。

次いで、ステップST1003において、受信信号のSOFの波形パターンが、正規波形記憶回路701に記憶された波形パターンまたは誤り予想波形記憶回路702に記憶された波形パターンに合致するか否かが判断される。

いずれかに一致すると判断された場合には、ステップST1004に進む。そして、ステップST1004において、受信信号のSOFの波形パターンが正規波形記憶回路701に記憶された波形パターンに訂正される。

いずれにも一致しないと判断された場合には、ステップST1001に戻る。

以上のように、第3の実施形態によれば、予め予想される誤りを受信信号が含む場合にこれを訂正することができる。これにより、アナログ回路部の後段に設けられたロジック回路部においてSOFを正しく認識できないという不都合を回避することができる。

なお、ここでは、誤り予想波形記憶回路702は1つとしたが、これを複数設けてもよい。これにより、受信信号に含まれるさらに多くのパターンの誤りを訂正することができる。

#### (第4の実施形態)

##### <構成>

この発明の第4の実施形態によるICカードは、図1に示したデータ伝送回路102およびCPU105に代えて、図11に示すデータ伝送回路1100およびCPU1110を備える。

図11を参照して、データ伝送回路1100は、送受信回路1101と、復調回路

1102とを含む。送受信回路1101は、アンテナ101によって受信された信号を復調回路1102に伝送する。復調回路1102は、送受信回路1101からの信号をデジタル信号に変調して出力する。復調回路1102から出力される信号は、図7に示した受信信号と同様である。復調回路1102から出力される信号は、後段のロジック回路部（図示せず）によって処理が施されてDMA回路103によって転送される。また、復調回路1102は、活性のプリセット信号PRに応答して、出力信号のレベルを論理ハイレベルにする。

CPU1110は、プリセット信号発生手段1111を含む。プリセット信号発生手段1111は、データ伝送回路1100が受信状態以外の状態の期間のうち所定期間活性のプリセット信号PRを復調回路1102に与える。

#### <動作>

図7に示したように、復調回路1102から出力される信号は、データ伝送回路102が受信状態以外の状態においては論理ハイレベルとなっている。しかし、データ伝送回路102が受信状態以外の状態においてCPU105、不揮発性メモリ106が動作することや送信処理を行うことなどによって生じるノイズが原因で復調回路1102が誤動作することによって、図12に示すように、復調回路1102から出力される信号が論理ローレベルとなってしまうことがある。復調回路1102から出力される信号が論理ローレベルのまま受信状態に入ると、後段に設けられたロジック回路部においてSOFの立ち下がり正しく認識できない。

第4の実施形態によるICカードでは、図12に示すように、プリセット信号発生手段1111は、データ伝送回路1100が受信状態以外の状態の期間のうち所定期間活性のプリセット信号PRを復調回路1102に与える。この活性のプリセット信号PRに応答して、復調回路1102は出力信号のレベルを論理ハイレベルにする。これにより、復調回路1102から出力される信号が論理ローレベルとなってしまうも、復調回路1102から出力される信号が論理ローレベルのまま受信状態に入ってしまうことを防ぐことができる。この結果、後段に設けられたロジック回路部においてSOFの立ち下がりが正しく認識される。

### (第5の実施形態)

#### <構成>

この発明の第5の実施形態によるICカードは、図11に示したプリセット信号発生手段1111に代えて、図13に示すホールド信号発生手段1301を設けたことを特徴とする。

図13を参照して、ホールド信号発生手段1301は、データ伝送回路1100が受信状態以外の状態の期間活性のホールド信号HLを復調回路1102に与える。復調回路1102は、活性のホールド信号HLに応答して、出力信号のレベルを論理ハイレベルにする。

#### <動作>

以上のように構成されたICカードでは、図14に示すように、ホールド信号発生手段1301は、データ伝送回路1100が受信状態以外の状態の期間活性のホールド信号HLを復調回路1102に与える。この活性のホールド信号HLに応答して、復調回路1102は出力信号のレベルを論理ハイレベルにする。これにより、復調回路1102から出力される信号が論理ローレベルのまま受信状態に入ってしまうことを防ぐことができる。この結果、後段に設けられたロジック回路部においてSOFの立ち下がりが正しく認識されることになる。

### (第6の実施形態)

図15は、この発明の第6の実施形態によるICカードの主要部の構成を示すブロック図である。図15を参照して、このICカードは、状態制御回路107内にレジューム回路1501を設けたことを特徴とする。その他の構成は、図1に示したICカードと同様である。

レジューム回路1501は、不揮発性メモリ106が動作状態から停止状態になると、不揮発性メモリ106に対する書き込み処理を行った時間、書き込み処理を行っていたアドレスおよびデータを記憶する。

次に、以上のように構成された I C カードの動作について、図 1 6 を参照しつつ説明する。

不揮発性メモリ 1 0 6 に対してデータの書き込みを行う場合、まず、CPU 1 0 5 は、状態制御回路 1 0 7 に対して命令信号 CMD 3 を与える。命令信号 CMD 3 は、「不揮発性メモリ 1 0 6 を動作状態にせよ」という意味の命令である。

命令信号 CMD 3 を受けると、状態制御回路 1 0 7 は、不揮発性メモリ 1 0 6 に対して活性の状態制御信号 S 1 を与える。活性の状態制御信号 S 1 に応答して、不揮発性メモリ 1 0 6 は停止状態から動作状態となる。

一方、レジューム回路 1 5 0 1 は、命令信号 CMD 3 に応答して時間を数え始める。

不揮発性メモリ 1 0 6 にデータを完全書き込むには、電圧を一定の時間印加しなければならない。ここでは、電圧を 1 0 m s の期間印加する必要があるものとする。CPU 1 0 5 は、不揮発性メモリ 1 0 6 に対する書き込み処理を開始した後、レジューム回路 1 5 0 1 に示される時間を参照する。時間が 1 0 m s に達すると、データが完全に書き込まれたものと判断する。そして、CPU 1 0 5 は、状態制御回路 1 0 7 に対して命令信号 CMD 4 を与える。命令信号 CMD 4 は、「不揮発性メモリ 1 0 6 を停止状態にせよ」という意味の命令である。

命令信号 CMD 4 を受けると、状態制御回路 1 0 7 は、不揮発性メモリ 1 0 6 に対して不活性の状態制御信号 S 1 を与える。不活性の状態制御信号 S 1 に応答して、不揮発性メモリ 1 0 6 は動作を停止する。

ここで、不揮発性メモリ 1 0 6 に対する書き込み処理を開始した後レジューム回路 1 5 0 1 に示される時間が 1 0 m s に達するまでの間に、CPU 1 0 5 から送信処理命令が出された場合の処理について説明する。

レジューム回路 1 5 0 1 に示される時間が 1 0 m s に達する前、例えば 7 m s のときに、CPU 1 0 5 が状態制御回路 1 0 7 に対して命令信号 CMD 5 を与えたとする。命令信号 CMD 5 は、「データ伝送回路 1 0 2 を送信状態にせよ」という意味の命令である。

命令信号 CMD 5 に応答して、レジューム回路 1 0 7 は、その時点での書き込み処



理の状態、すなわち、書き込み処理を行っていたアドレス、データ、およびそれまでの書き込み処理に要した時間（ここでは、7 m s）を記憶する。

一方、命令信号CMD 5を受けると、状態制御回路107は、CPU105に対して不活性の状態制御信号S2を与える。不活性の状態制御信号S2に応答して、CPU105は動作を停止する。また、状態制御回路107は、データ伝送回路102に対して活性の状態制御信号S3を与える。活性の状態制御信号S3に応答して、データ伝送回路102は、停止状態から送信状態となる。以下、図2に示したのと同様に、送信処理が行われる。

送信処理が完了すると、データ伝送回路102は、状態制御回路107に対して割り込み信号C2を与える。割り込み信号C2は、「CPU105を動作状態にせよ」という要求を示す信号である。

割り込み信号C2に応答して、状態制御回路107は、CPU105に対して活性の状態制御信号S2を与える。活性の状態制御信号S2に応答して、CPU105は、停止状態から動作状態に復帰する。

復帰したCPU105は、状態制御回路107に対して命令信号CMD2を与える。命令信号CMD2は、「データ伝送回路102を停止状態にせよ」という意味の命令である。命令信号CMD2を受けると、状態制御回路107は、データ伝送回路102に対して不活性の状態制御信号S3を与える。不活性の状態制御信号S3に応答して、データ伝送回路102は、送信状態から停止状態になる。

さらに、復帰したCPU105は、状態制御回路107に対して命令信号CMD3を与える。命令信号CMD3は、「不揮発性メモリ106を動作状態にせよ」という意味の命令である。命令信号CMD3を受けると、状態制御回路107は、活性の状態制御信号S1を与える。活性の状態制御信号S1に応答して、不揮発性メモリ106は動作状態になる。CPU105は、レジューム回路1501に記憶された状態（アドレス、データ、処理に要した時間）から書き込み処理を再開する。レジューム回路1501は、記憶していた時間（ここでは、7 m s）の続きから時間を数える。

そして、時間が10 m sに達すると、CPU105は、状態制御回路107に対し

て命令信号CMD 4を与える。命令信号CMD 4は、「不揮発性メモリ106を停止状態にせよ」という意味の命令である。命令信号CMD 4を受けると、状態制御回路107は、不揮発性メモリ106に対して不活性の状態制御信号S1を与える。不活性の状態制御信号S1に応答して、不揮発性メモリ106は動作を停止する。

なお、不揮発性メモリ106に対する書き込み処理を開始した後レジューム回路1501に示される時間が10msに達するまでの間に、CPU105から受信処理命令が出された場合についても、上述したのと同様にして処理が行われる。

#### <フローチャート>

図17は、図15に示したICカードによる不揮発性メモリへの書き込み処理の流れを示すフローチャートである。以下、図17を参照して処理の流れを説明する。

まず、ステップST1701において、不揮発性メモリ106に対して書き込みを行うか否かが判断される。書き込み処理を行う場合はステップST1701に進む。

次いで、ステップST1702において、前回の書き込み処理が完全に終了しているか否かが判断される。これは、レジューム回路1501に記憶されている時間を参照することによって行われる。レジューム回路1501に記憶されている時間が、完全に書き込みを行うために必要な時間に達していないときは、前回の書き込みが途中で中断されたものと判断し、ステップST1703に進む。

ステップST1703において、CPU105は、レジューム回路1501に記憶された状態（アドレス、データ、処理に要した時間）から書き込み処理を再開する。レジューム回路1501は、記憶していた時間の続きから時間を数える。

一方、ステップST1702において、レジューム回路1501に記憶されている時間が、完全に書き込みを行うために必要な時間に達しているときは、前回の書き込みが完全に終了したものと判断し、ステップST1704に進む。

ステップST1704において、CPU105は、一から書き込み処理を開始する。レジューム回路1501は、一から時間を数える。

次いで、ステップST1705において、レジューム回路1501でカウントされた時間が未だ完全に書き込みを行うために必要な時間に達していないときに、送受信

処理が開始された場合にはステップST1706に進む。

ステップST1706において、レジューム回路107は、その時点での書き込み処理の状態、すなわち、書き込み処理を行っていたアドレス、データ、およびそれまでの書き込み処理に要した時間を記憶する。そして、ステップST1701に戻る。

一方、ステップST1705において、送受信処理が開始されない場合には、ステップST1707に進む。ステップST1707において、レジューム回路1501でカウントされた時間が完全に書き込みを行うために必要な時間に達しているかが判断され、達しているとステップST1708に進み、書き込み処理を終了する。

以上のように、この発明の第6の実施形態によるICカードは、レジューム回路1501を設けたため、送受信処理命令が出されたために不揮発性メモリ106に対する書き込み処理が中断した場合であっても、中断したときの状態から書き込み処理を再開することができる。

#### (第7の実施形態)

図18は、この発明の第7の実施形態によるICカードの主要部の構成を示すブロック図である。図18を参照して、このICカードは、状態制御回路107内に時間カウント回路1801を設けたことを特徴とする。その他の構成は、図1に示したICカードと同様である。

時間カウント回路1801は、CPU105からの命令信号CMD1、CMD5に応答して、時間を数えはじめる。命令信号CMD1は、「データ伝送回路102を受信状態にせよ」という意味の命令である。命令信号CMD5は、「データ伝送回路102を送信状態にせよ」という意味の命令である。そして、データ伝送回路102からの割り込み信号C2に応答して時間のカウントを停止し、カウント値をCPU105に出力する。

次に、以上のように構成されたICカードの動作について説明する。

CPU105から状態制御回路107に対して命令信号CMD1またはCMD5が与えられると、時間カウント回路1801は時間のカウントを開始する。命令信号C

MD 1, CMD 5 に応答して、I C カードは受信処理または送信処理を行う。

受信処理または送信処理が完了すると、データ伝送回路 102 は状態制御回路 107 に対して割り込み信号 C2 を与える。割り込み信号 C2 は、「CPU 105 を動作状態にせよ」という要求を示す信号である。

割り込み信号 C2 に応答して、時間カウンタ回路 1801 は時間のカウンタを停止し、カウンタ値を CPU 105 に出力する。

図 7 に示したように、データ伝送回路 102 が受信状態または送信状態のとき、CPU 105 は停止状態となる。しかし、CPU 105 は、停止状態から動作状態に復帰した場合に、停止状態であった時間（図 7 に示す受信に要したシステム時間、送信に要したシステム時間）を知る必要がある。停止状態であった時間を知るために CPU 105 に付属のタイマを用いた場合には、データ伝送回路 102 が受信状態または送信状態であるときに一定時間ごとに CPU 105 が動作することになる。この CPU 105 の動作によってノイズが発生し、このノイズが受信状態または送信状態にあるデータ伝送回路 102 に対して影響を及ぼすことがある。

図 18 に示す I C カードでは、時間カウンタ回路 1801 を設けたため、データ伝送回路 102 が受信状態または送信状態のときに CPU 105 を完全に停止状態にすることができる。これにより、CPU 105 の動作によるノイズを発生させることなく停止状態であった時間を CPU 105 に知らせることができる。

#### （第 8 の実施形態）

図 19 は、この発明の第 8 の実施形態による I C カードの主要部の構成を示すブロック図である。図 19 を参照して、この I C カードは、状態制御回路 107 内に時間監視回路 1901 を設けたことを特徴とする。その他の構成は、図 1 に示した I C カードと同様である。

時間監視回路 1901 は、CPU 105 からの命令信号 CMD 1 に応答して時間のカウンタを開始する。命令信号 CMD 1 は、「データ伝送回路 102 を受信状態にせよ」という意味の命令である。そして、時間監視回路 1901 は、データ伝送回路 1

02からの割り込み信号C2に応答して時間のカウンタを停止し、カウンタ値をリセットする。一方、時間監視回路1901は、時間のカウンタ値が所定の値に達すると、すなわち、カウンタ値が所定の値に達するまでに状態制御回路107に対して割り込み信号C2が与えられないときは、タイムアウト信号TOをCPU105に対して出力する。

次に、以上のように構成されたICカードの動作について説明する。

CPU105から状態制御回路107に対して命令信号CMD1が与えられると、時間監視回路1901は時間のカウンタを開始する。命令信号CMD1に응答して、データ伝送回路102は受信状態となる。

受信処理が完了すると、データ伝送回路102は状態制御回路107に対して割り込み信号C2を与える。割り込み信号C2は、「CPU105を動作状態にせよ」という要求を示す信号である。

割り込み信号C2に응答して、時間監視回路1901は時間のカウンタを停止し、カウンタ値をリセットする。

時間監視回路1901による時間のカウンタ値が所定の値に達するまでに状態制御回路107に対して割り込み信号C2が与えられないと、時間監視回路1901は、タイムアウト信号TOをCPU105に対して出力する。

タイムアウト信号TOに응答してCPU105は動作状態に復帰し、タイムアウト処理を行う。

以上のように、第9の実施形態によるICカードでは、時間監視回路1901を設けたため、カウンタ値が所定の値に達するまでに状態制御回路107に対して割り込み信号C2が与えられないときは、CPU105を停止状態から動作状態に復帰させることができる。これにより、データ伝送回路102が受信状態になってから長時間受信データを受け取ることができない場合などにCPU105が停止状態であり続けることを防止することができる。

## 請求の範囲

1. 非接触で、外部とデータの送受信を行い、外部から電源の供給を受ける非接触型の I C カードであって、

外部とデータの送受信を行う伝送回路と、

バッファメモリと、

前記伝送回路が受信したデータを前記バッファメモリへ転送し、前記バッファメモリに蓄積されたデータを前記伝送回路へ転送する DMA 回路と、

不揮発性メモリと、

前記バッファメモリおよび前記不揮発性メモリに対してデータの書き込み／読み出しを行う C P U と、

前記伝送回路が外部とデータの送受信を行っているとき、前記不揮発性メモリおよび前記 C P U の動作を停止させる状態制御手段とを備えることを特徴とする I C カード。

2. 請求項 1 に記載の I C カードにおいて、

前記伝送回路によって送受信されるデータは、所定期間ごとにデータビットが現れるものであり、

前記伝送回路は、あるデータビットを送受信する期間と他のデータビットを送受信する期間との間の期間に割り込み信号を発生し、

前記 DMA 回路は、前記割り込み信号に応答して転送処理を行うことを特徴とする I C カード。

3. 請求項 1 に記載の I C カードにおいて、

前記伝送回路によって受信されるデータは、I S O / I E C 1 4 4 4 3 - 3 の規定に従った構成を有するものであり、

前記伝送回路は、

I S O / I E C 1 4 4 4 3 - 3 によって規定された波形パターンを記憶する正規波形記憶手段と、

前記伝送回路によって受信されるデータについて予め予想される誤りを含んだ波形

パターンを記憶する誤り予想波形記憶手段と、

前記伝送回路によって受信されたデータの波形パターンを検出する波形検出手段と、

前記波形検出手段によって検出された波形パターンが、前記正規波形記憶手段に記憶された波形パターンまたは前記誤り予想波形記憶手段に記憶された波形パターンに一致するとき、前記伝送回路によって受信されたデータを前記正規波形パターンに基づいて訂正する照合手段とを含む

ことを特徴とする I C カード。

4. 請求項 1 に記載の I C カードにおいて、

前記伝送回路によって受信されるデータは、ISO/IEC 14443-3 の規定に従った構成を有するものであり、

前記伝送回路は、外部から受信したデータをデジタルデータに変調して出力するアナログ回路部を含み、

前記 I C カードはさらに、前記伝送回路がデータの受信を行っている期間以外の期間のうち所定期間活性のプリセット信号を前記アナログ回路部に与えるプリセット信号発生手段を備え、

前記アナログ回路部は、前記活性のプリセット信号に応答して、出力を論理ハイレベルにする

ことを特徴とする I C カード。

5. 請求項 1 に記載の I C カードにおいて、

前記伝送回路によって受信されるデータは、ISO/IEC 14443-3 の規定に従った構成を有するものであり、

前記伝送回路は、外部から受信したデータをデジタルデータに変調して出力するアナログ回路部を含み、

前記 I C カードはさらに、前記伝送回路がデータの受信を行っている期間以外の期間活性のホールド信号を前記アナログ回路部に与えるホールド信号発生手段を備え、

前記アナログ回路部は、前記活性のホールド信号に応答して、前記伝送回路がデータの受信を行っている期間以外の期間出力を論理ハイレベルにする

ことを特徴とする I C カード。

6. 請求項 1 に記載の I C カードにおいて、

前記 C P U による前記不揮発性メモリに対するデータの書き込み処理が中断された場合に、中断された時点までの書き込み処理の進行状態を記憶するレジューム回路をさらに備え、

前記 C P U は、前記レジューム回路に記憶された進行状態に基づいて前記不揮発性メモリに対する書き込み処理を再開する

ことを特徴とする I C カード。

7. 請求項 1 に記載の I C カードにおいて、

前記状態制御回路は、

前記 C P U が停止状態になるのに応答して時間のカウンタを開始し、前記 C P U が次に動作状態に復帰するのに応答して時間のカウンタを停止し、カウンタ値を前記 C P U に出力する時間カウンタ回路を含む

ことを特徴とする I C カード。

8. 請求項 1 に記載の I C カードにおいて、

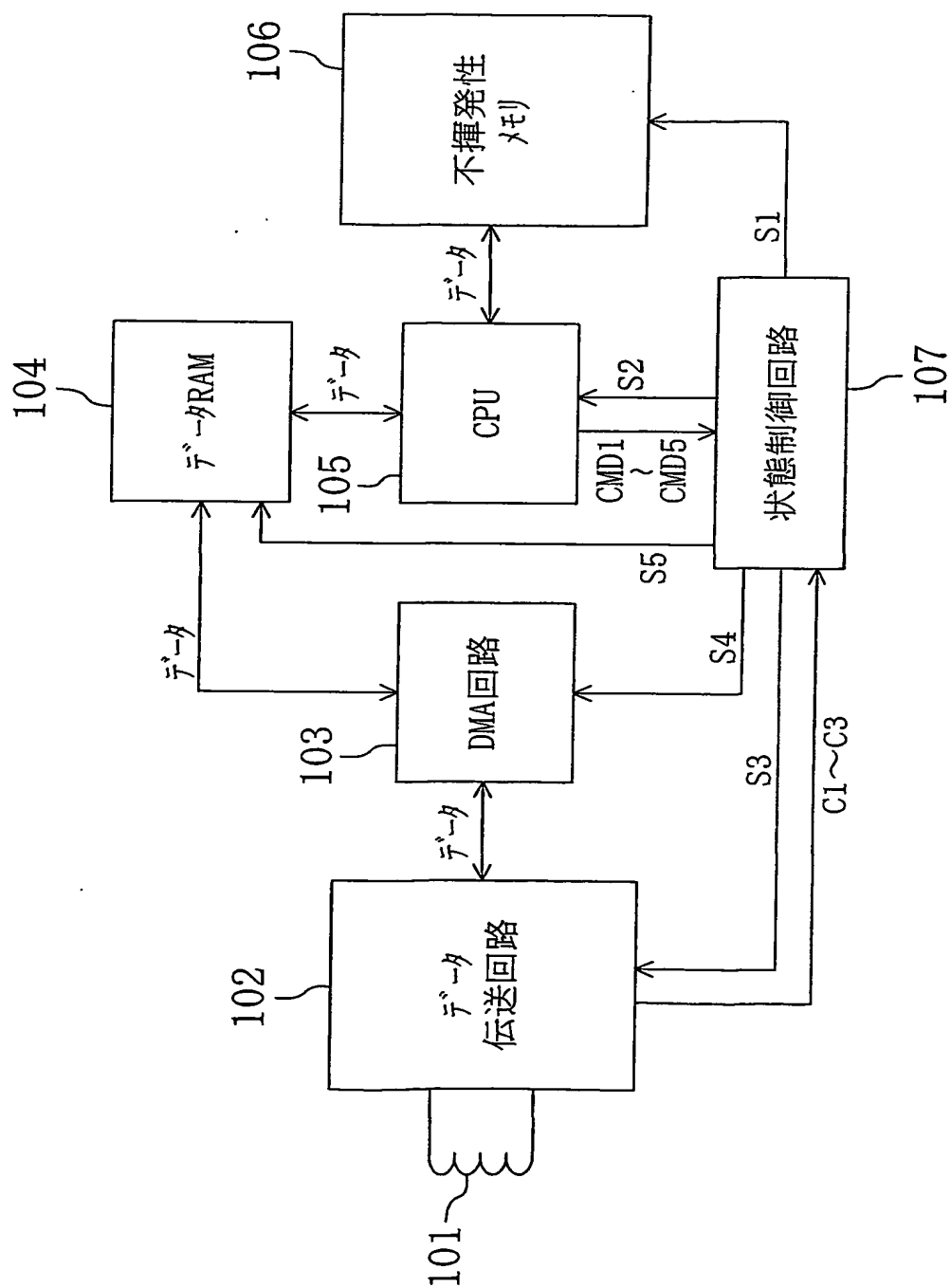
前記 C P U が停止状態になるのに応答して時間のカウンタを開始し、カウンタ値が所定の値に達するまでに前記 C P U が動作状態に復帰しないとき、前記 C P U に対してタイムアウト信号を出力する時間監視回路をさらに備え、

前記 C P U は、前記時間監視回路からのタイムアウト信号に応答して動作状態となる

ことを特徴とする I C カード。

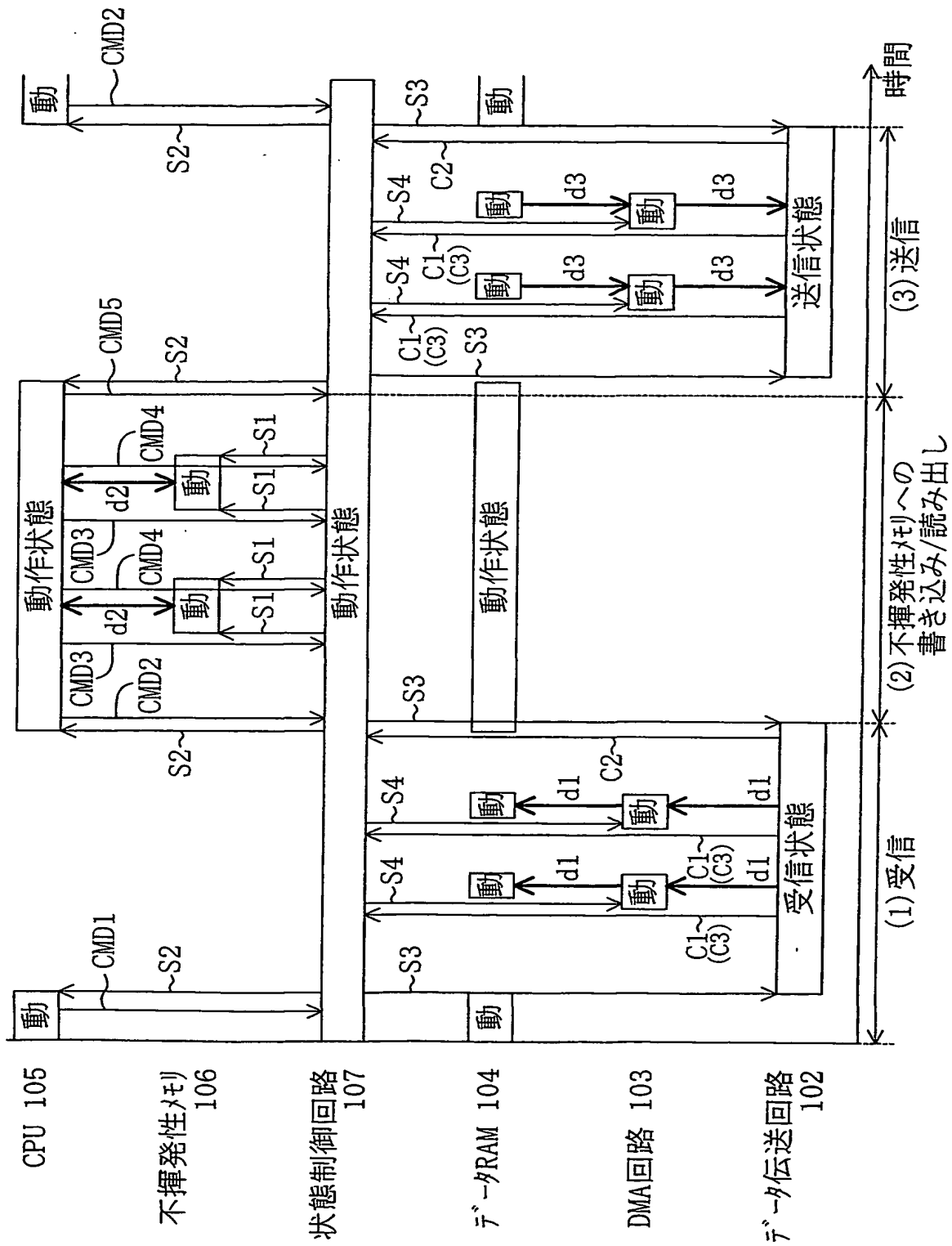


FIG. 1



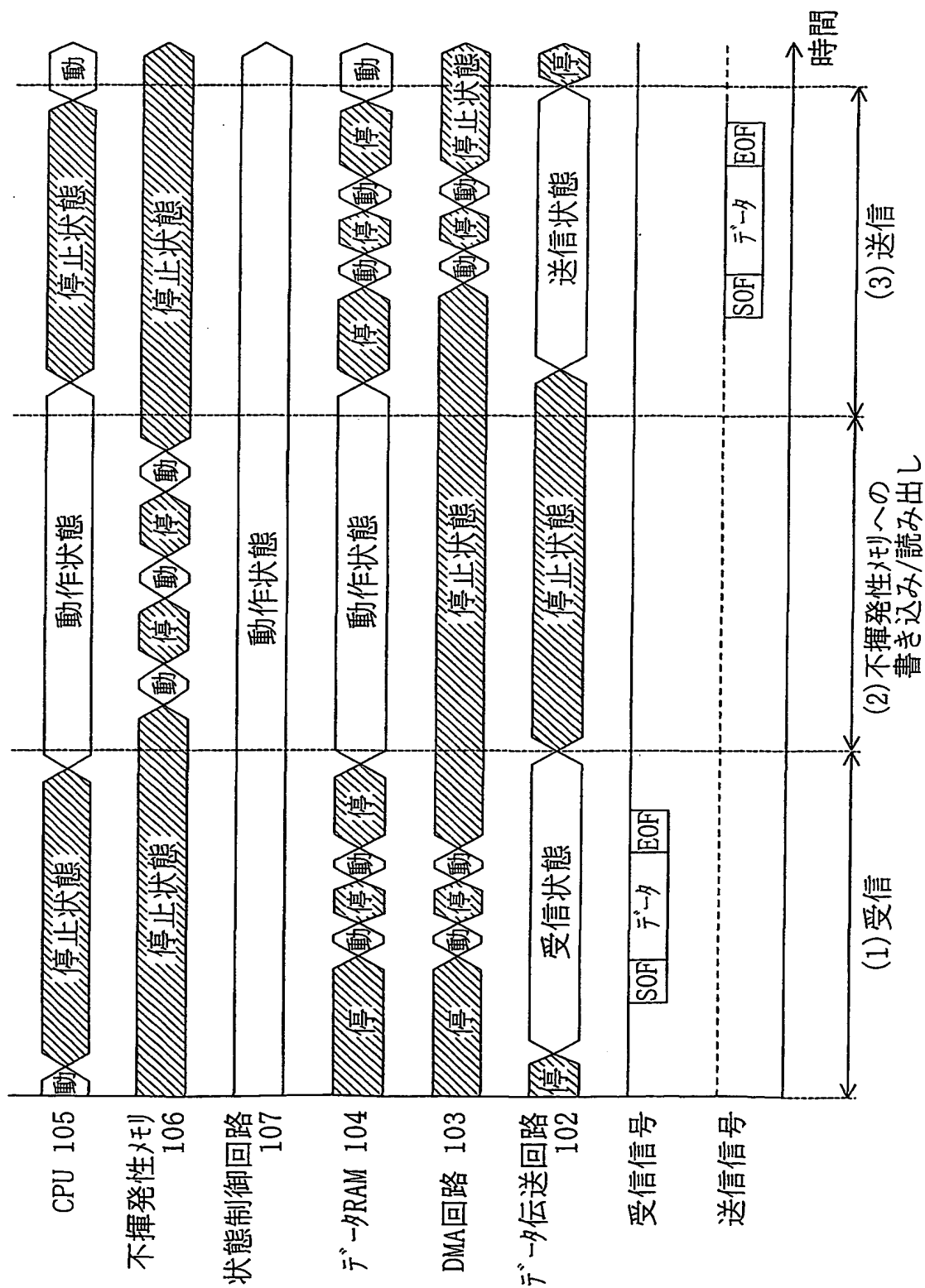
**THIS PAGE BLANK (USPTO)**

FIG. 2



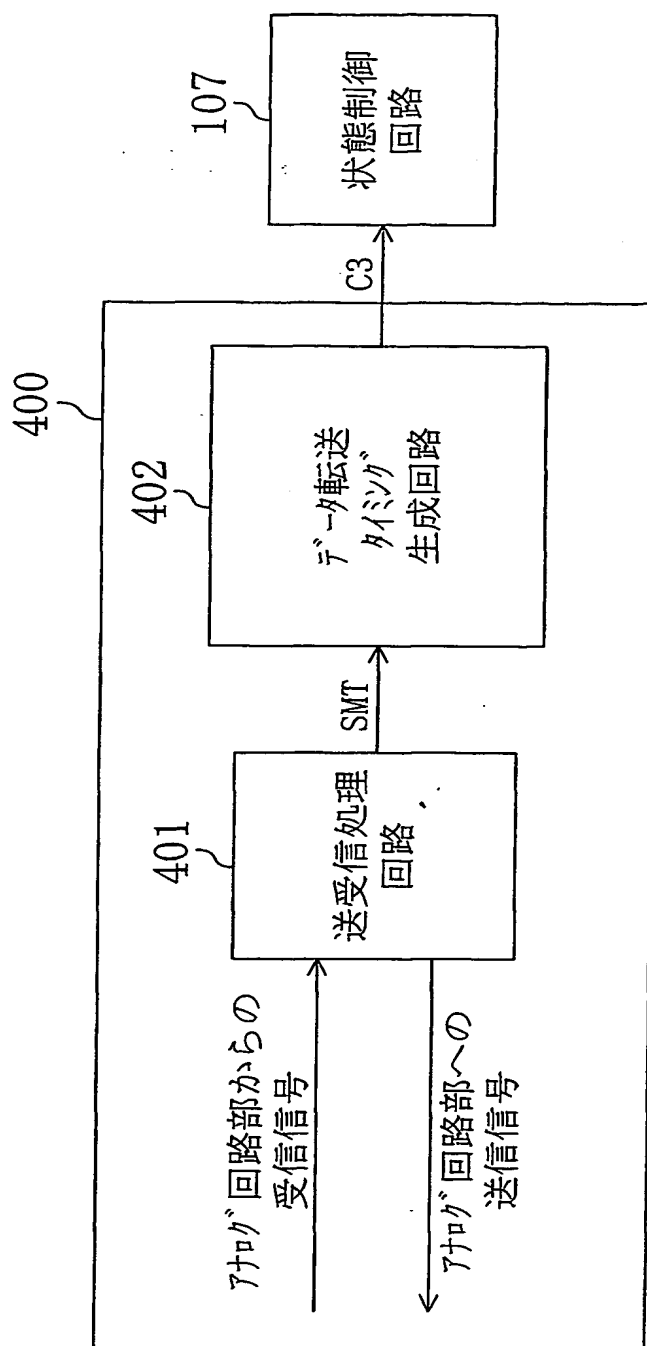
**THIS PAGE BLANK (USPTO)**

FIG. 3



**THIS PAGE BLANK (USPTO)**

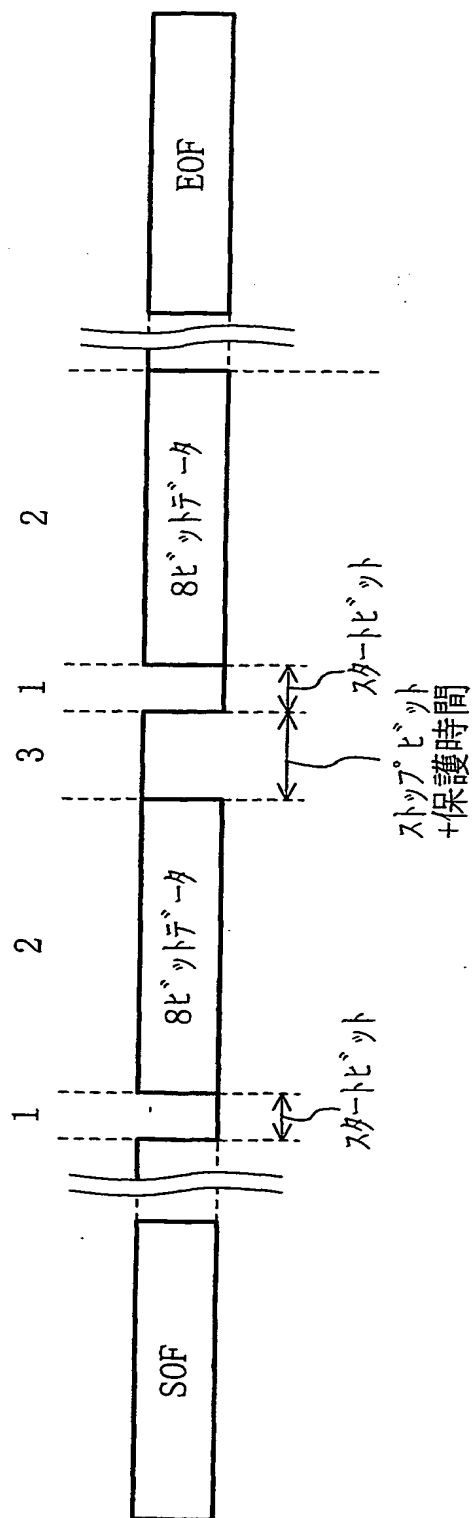
FIG. 4



**THIS PAGE BLANK (USPTO)**

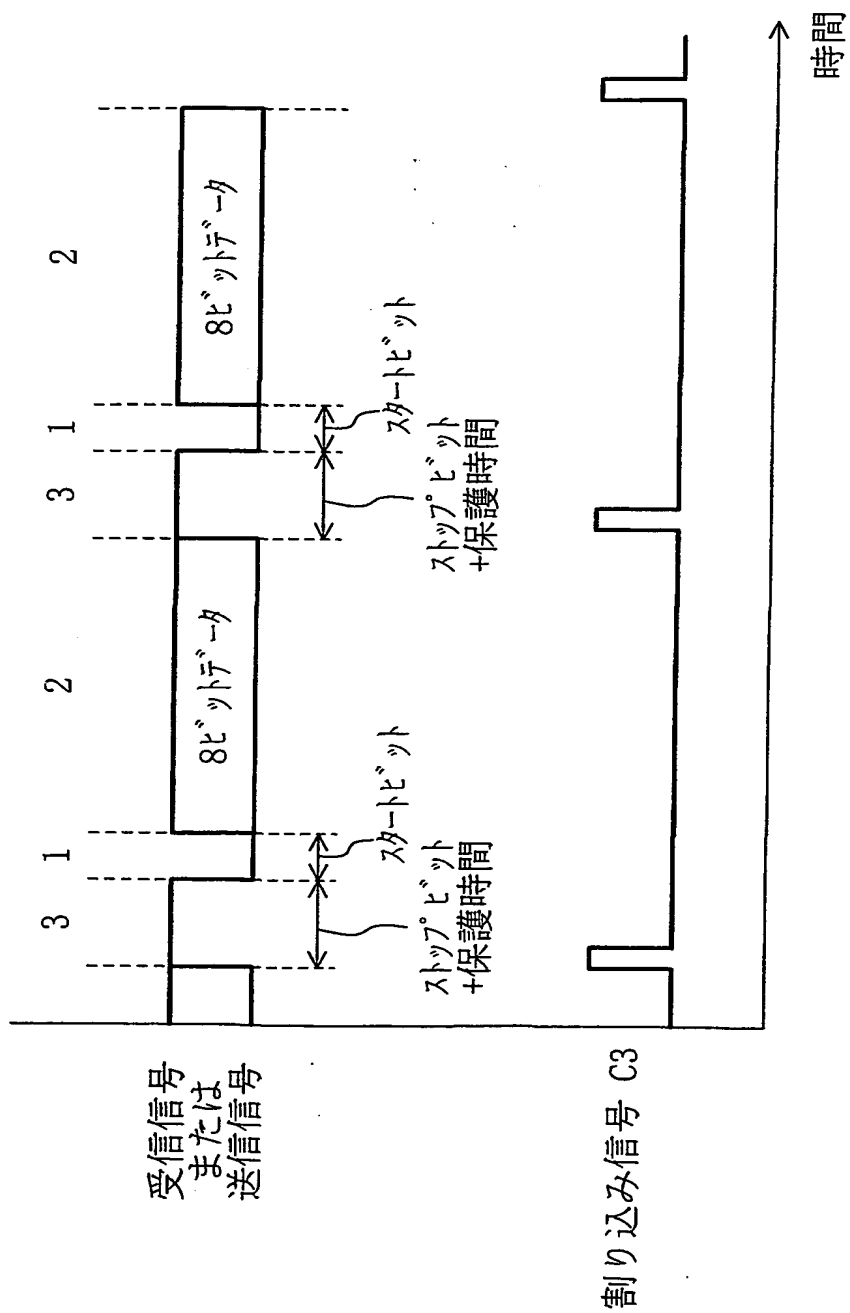


FIG. 5



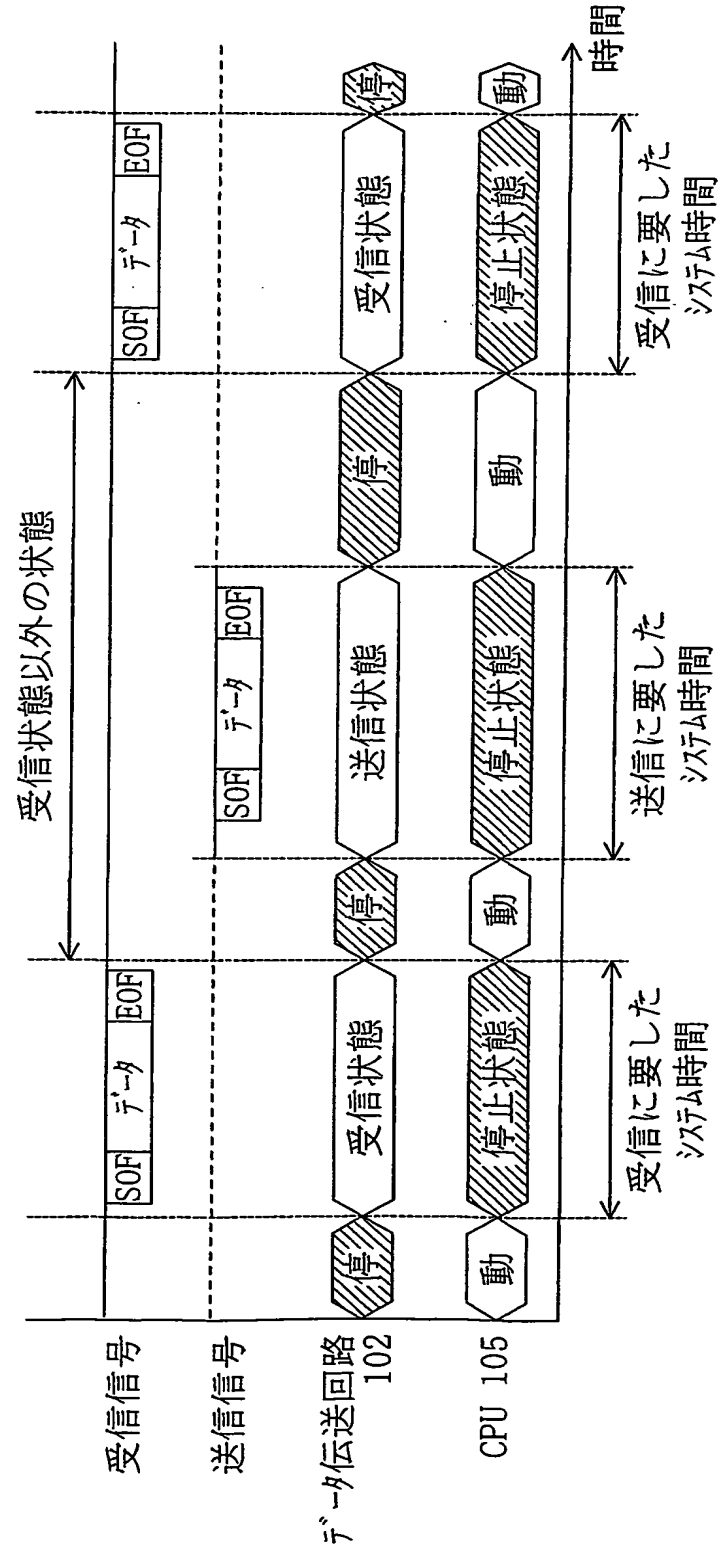
**THIS PAGE BLANK (USPTO)**

FIG. 6



**THIS PAGE BLANK (USPTO)**

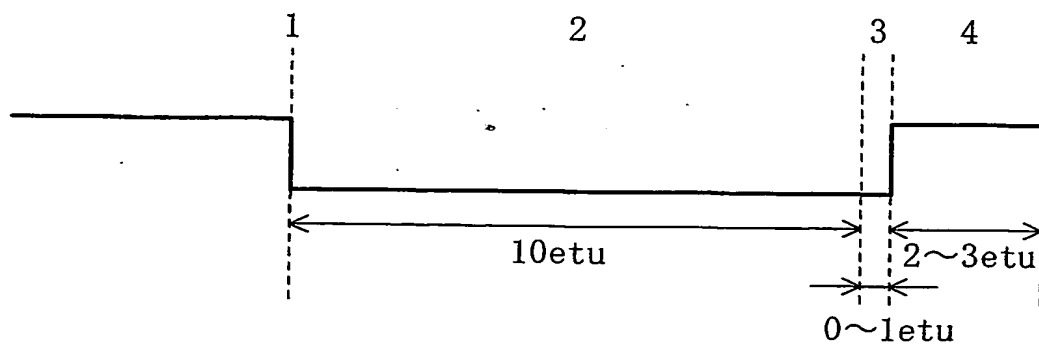
FIG. 7



**THIS PAGE BLANK (USPTO)**

8/19

FIG. 8

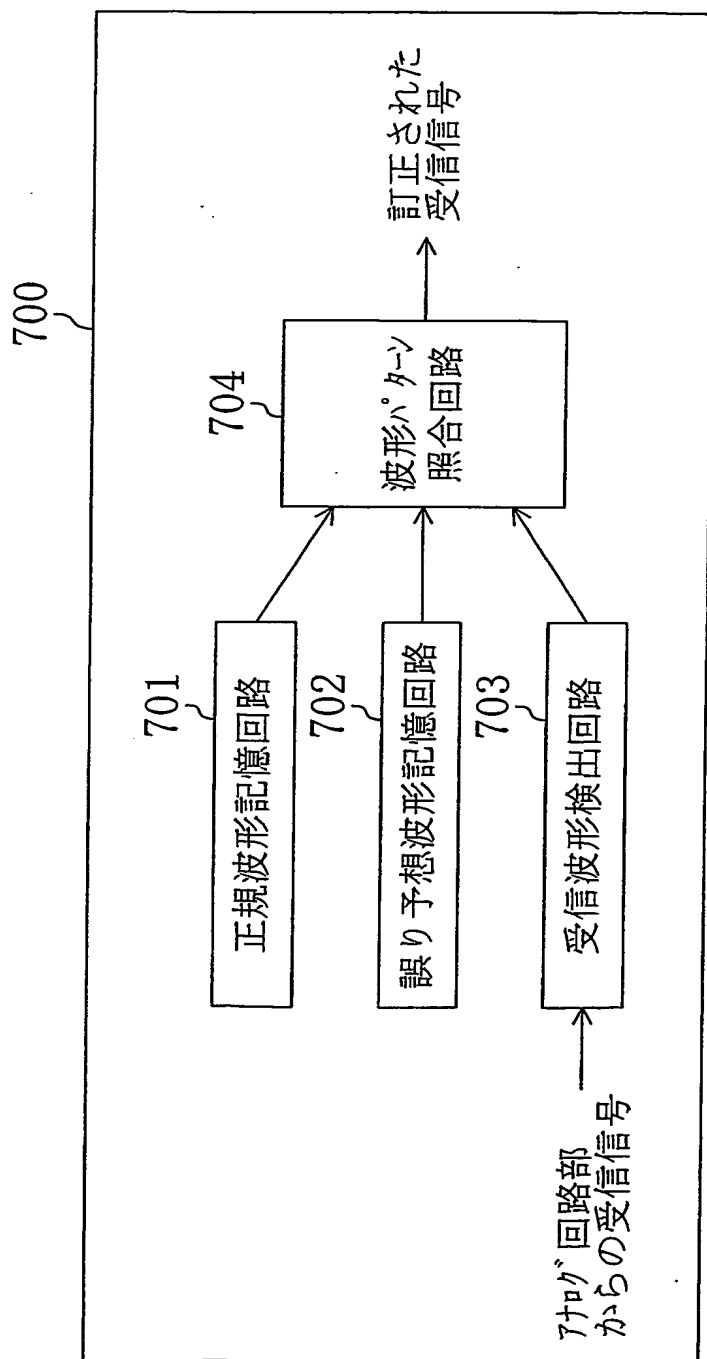


**THIS PAGE BLANK (USPTO)**



9/19

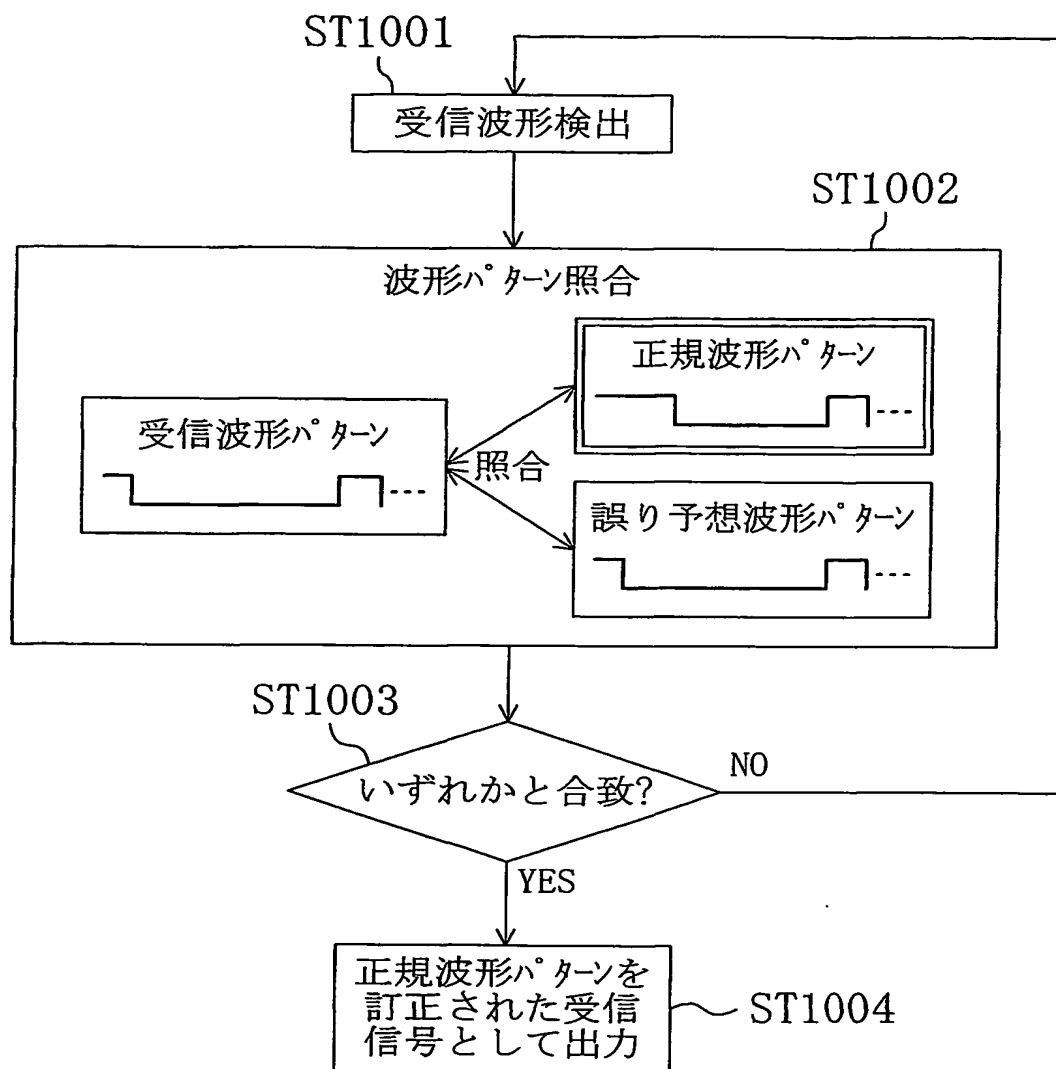
FIG. 9



**THIS PAGE BLANK (USPTO)**

10/19

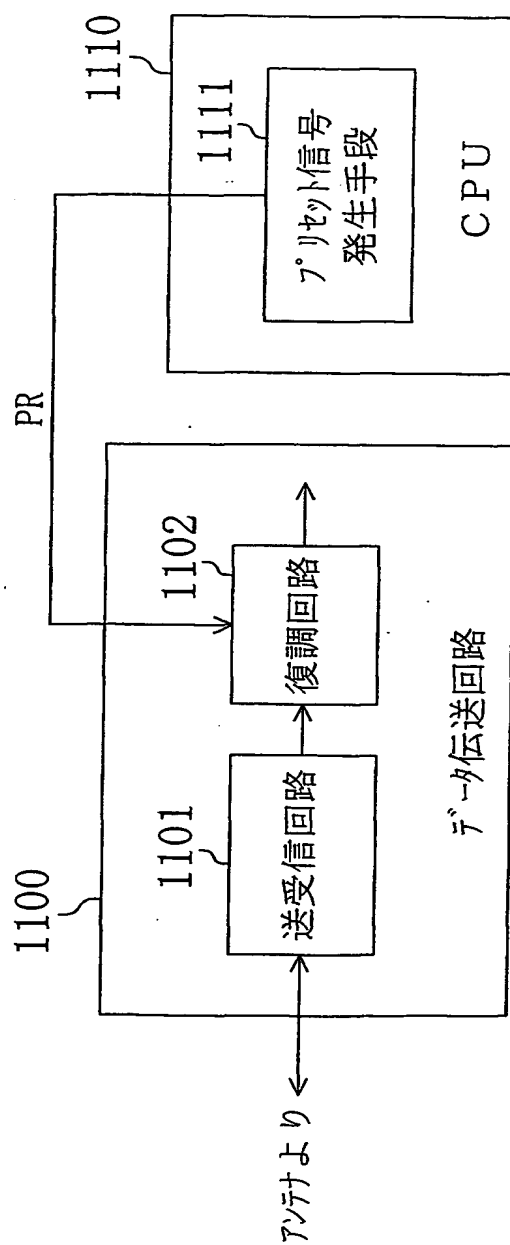
FIG. 10





**THIS PAGE BLANK (USPTO)**

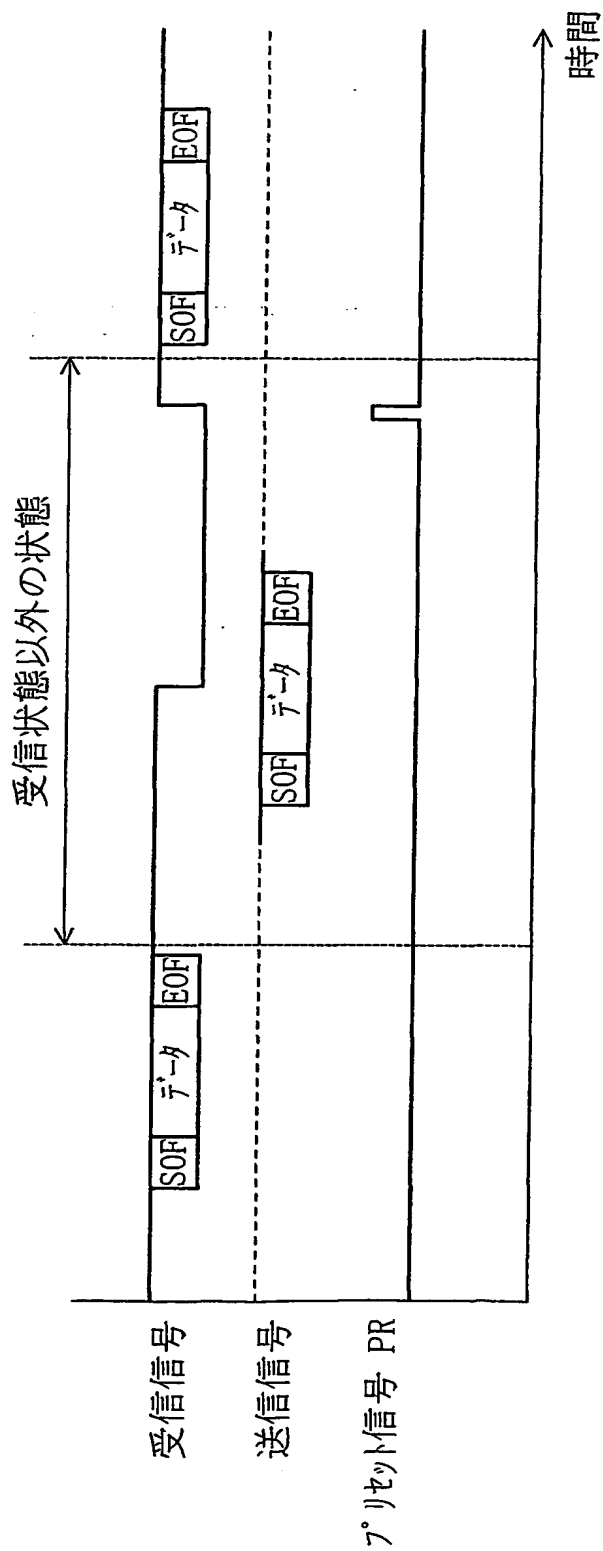
FIG. 11





**THIS PAGE BLANK (USPTO)**

FIG. 12

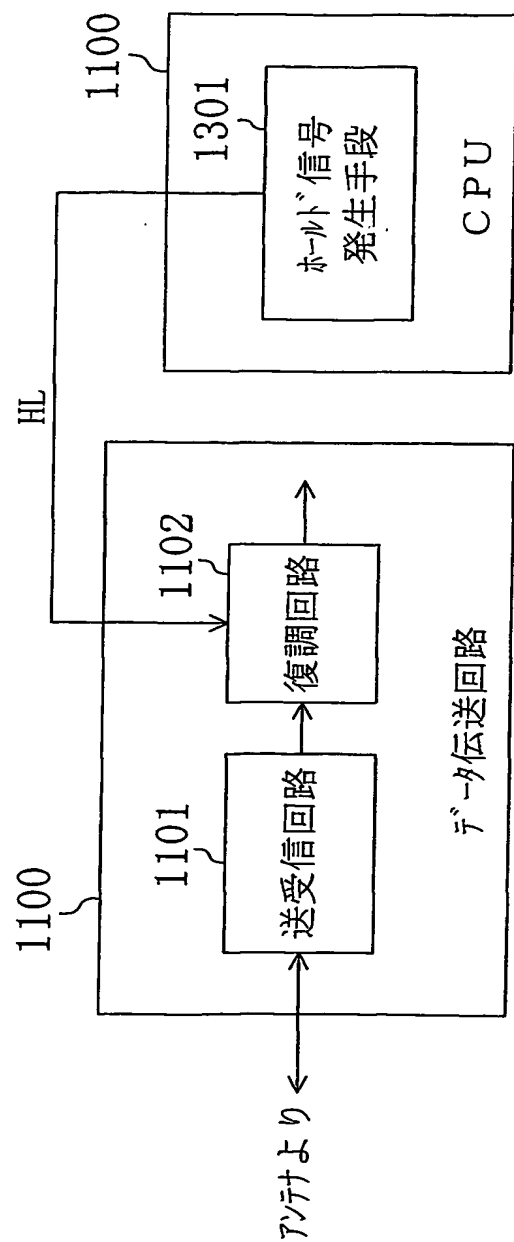




**THIS PAGE BLANK (USPTO)**

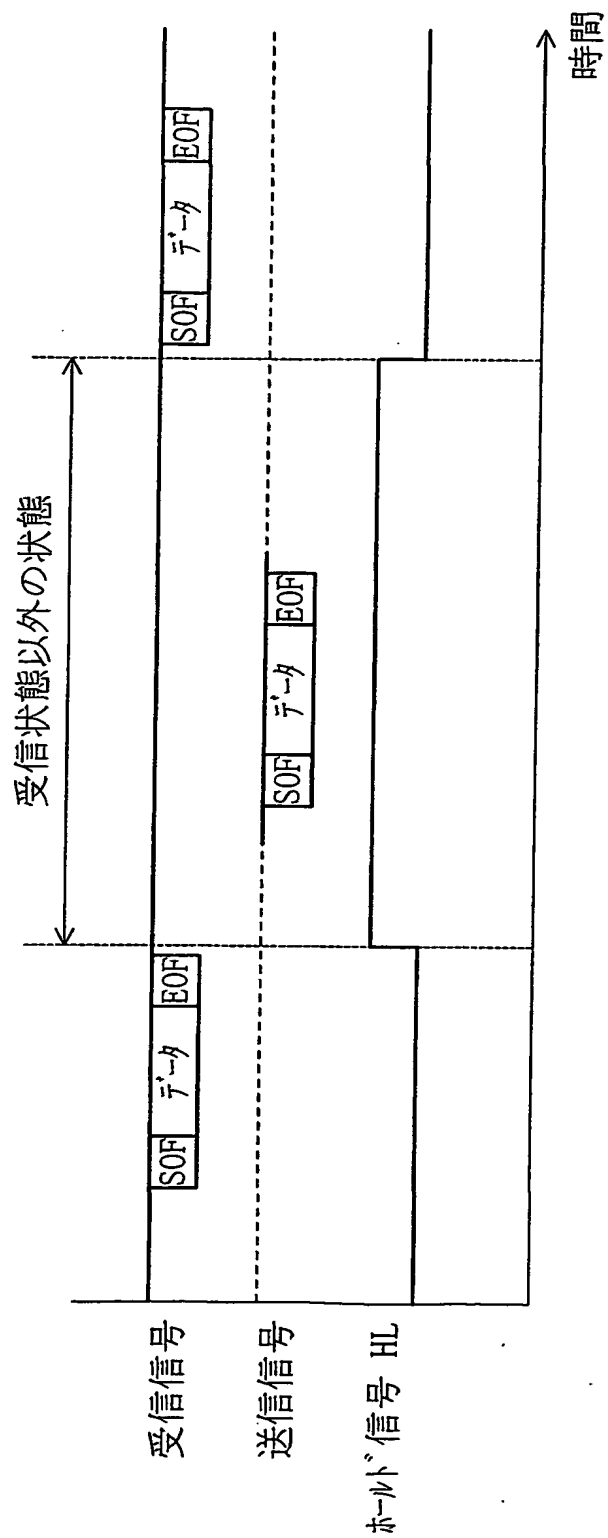


FIG. 13



**THIS PAGE BLANK (USPTO)**

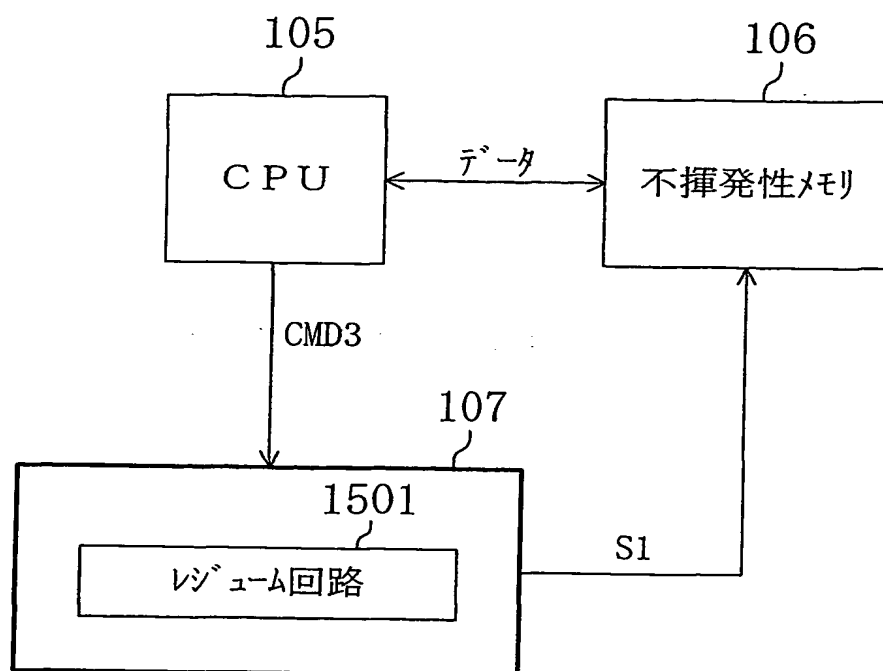
FIG. 14





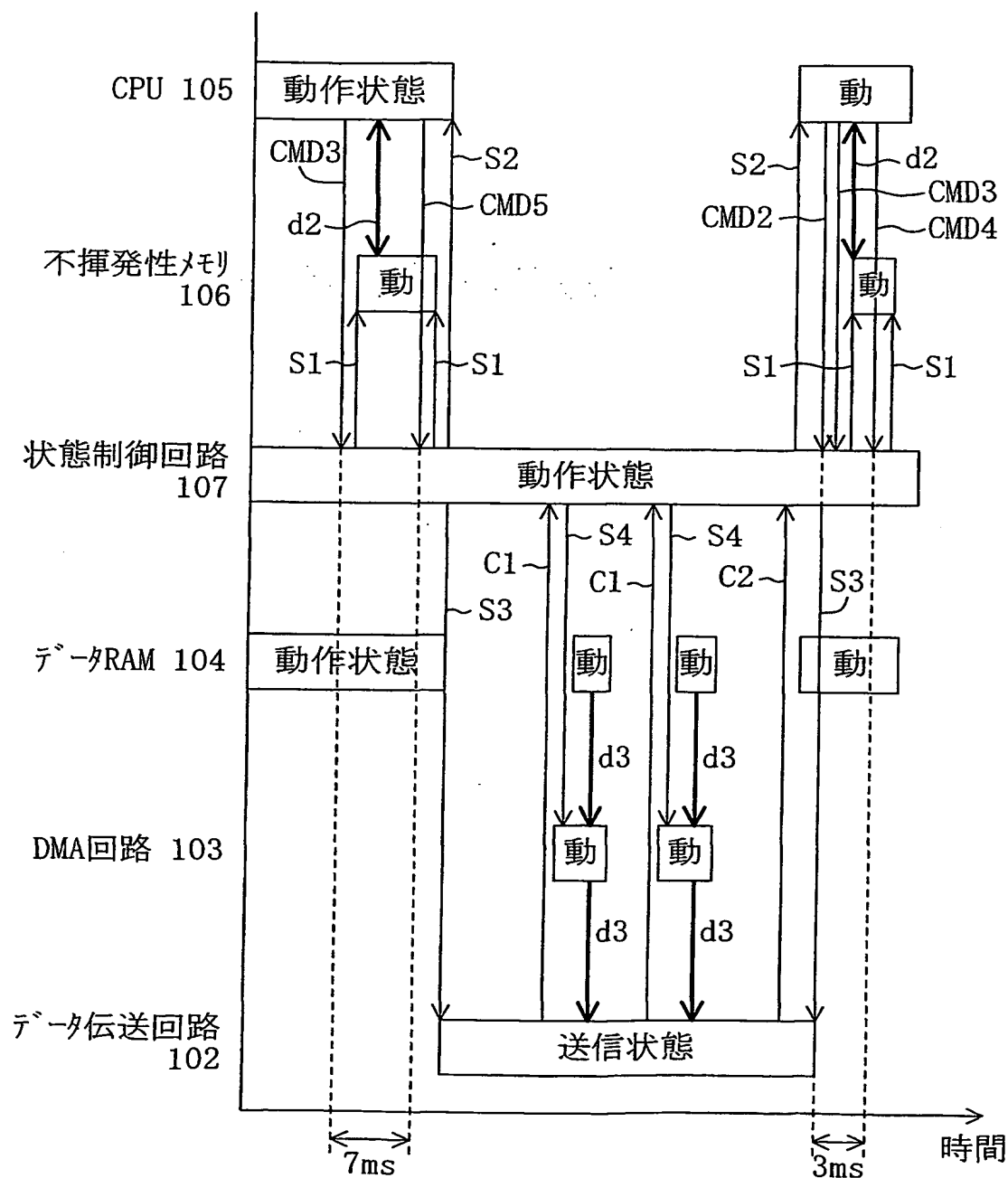
**THIS PAGE BLANK (USPTO)**

FIG. 15



**THIS PAGE BLANK (USPTO)**

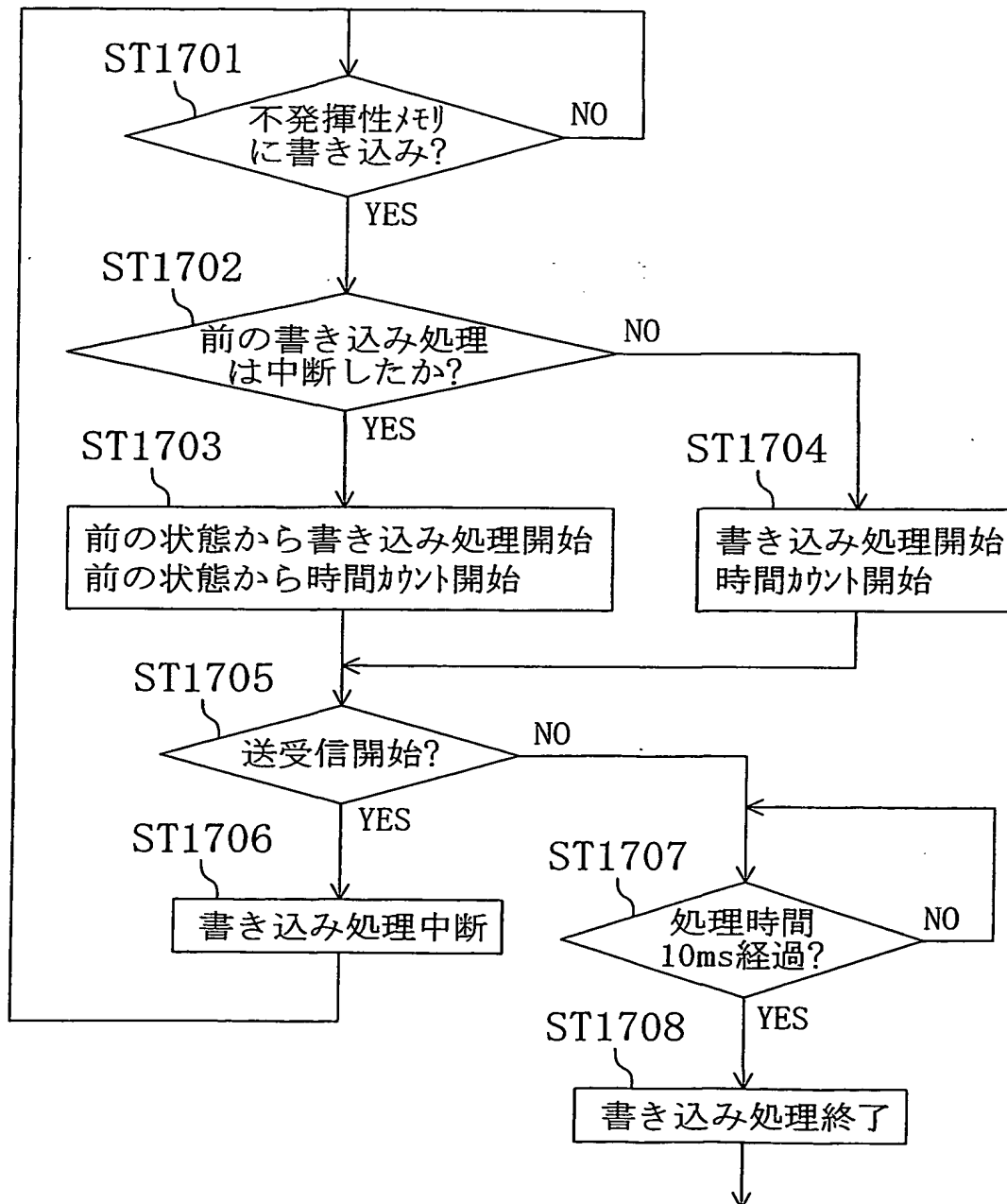
FIG. 16



**THIS PAGE BLANK (USPTO)**

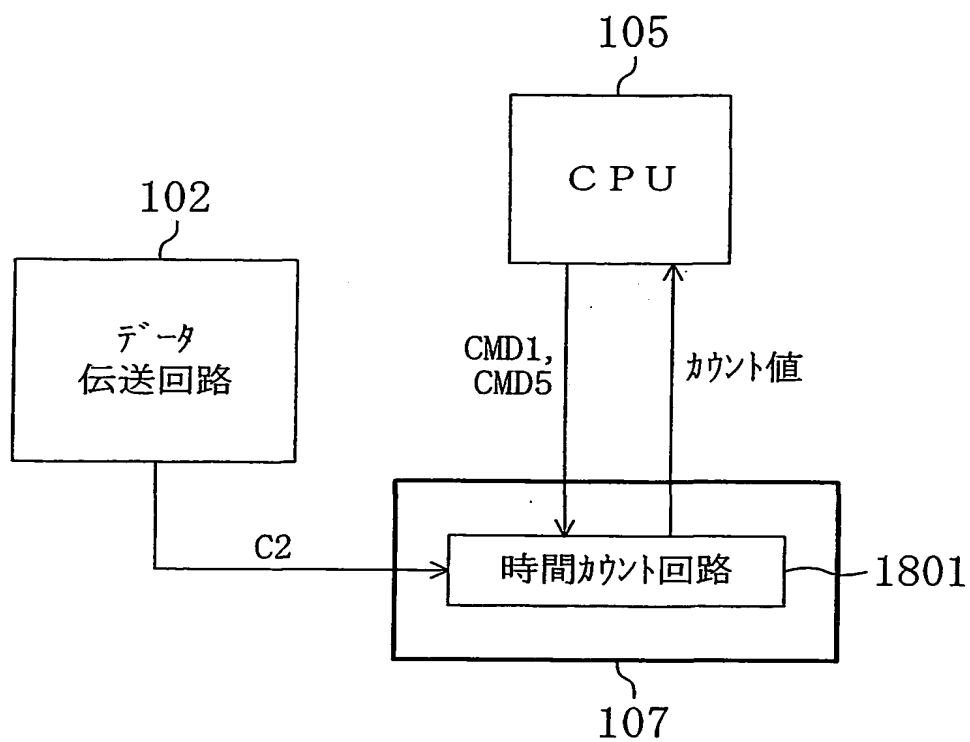


FIG. 17



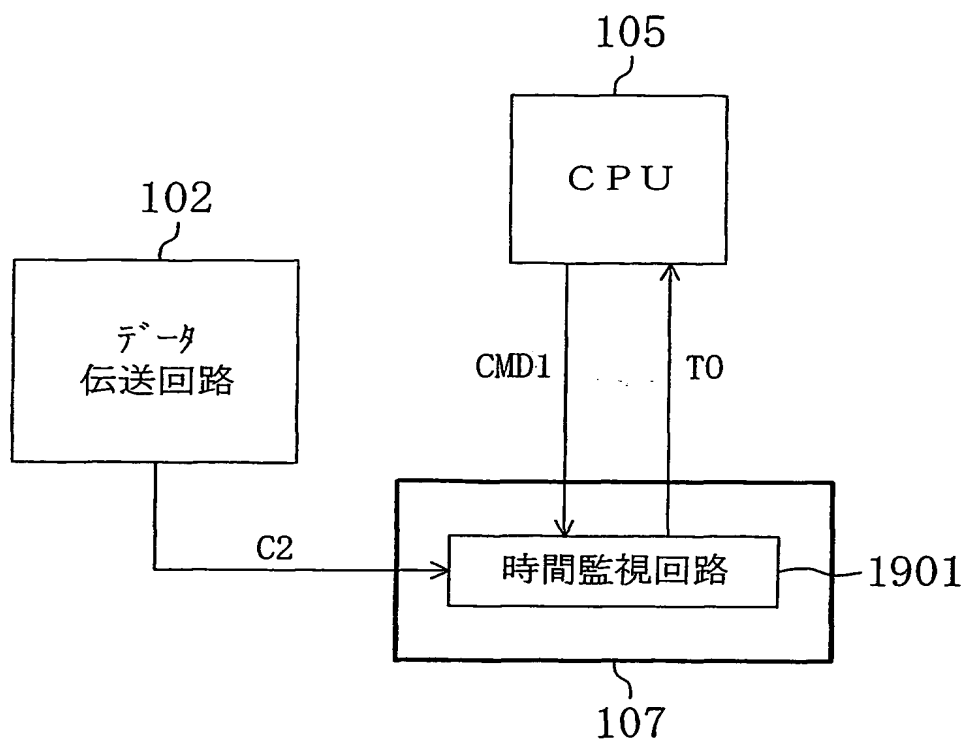
**THIS PAGE BLANK (USPTO)**

FIG. 18



**THIS PAGE BLANK (USPTO)**

FIG. 19



**THIS PAGE BLANK (USPTO)**

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/04213

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G06K 19/07, H04B 5/02

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G06K 19/07, H04B 5/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2001  
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 59-151274 A (Toshiba Corporation), 29 August, 1984 (29.08.84), page 2, lower right column, lines 5 to 12; Fig. 1 (Family: none)	1-8
A	JP 8-167014 A (OMRON CORPORATION), 25 June, 1996 (25.06.96), Par. Nos. [0015] to [0021]; Figs. 1 to 2 (Family: none)	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
17 August, 2001 (17.08.01)

Date of mailing of the international search report  
04 September, 2001 (04.09.01)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**THIS PAGE BLANK (USPTO)**



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G06K 19/07, H04B 5/02

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G06K 19/07, H04B 5/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2001年

日本国登録実用新案公報 1994-2001年

日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 59-151274 A (株式会社東芝) 29. 8月. 1984 (29. 08. 84) 第2頁右下欄第5行目-第12行目, 第1図 (ファミリーなし)	1-8
A	JP 8-167014 A (オムロン株式会社) 25. 6月. 1996 (25. 06. 96) 【0015】段落-【0021】段落, 第1-2図 (ファミリーなし)	1-8

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

17. 08. 01

国際調査報告の発送日

04.09.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

前田 仁

5N

2945

電話番号 03-3581-1101 内線 6915

**THIS PAGE BLANK (USPTO)**